

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Osamu TAKAHASHI

Application No.: 10/618,626

Filed: July 15, 2003

Docket No.: 116596

For: DATA WRITING APPARATUS AND IMAGE PROCESSING APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-208448 filed July 17, 2002.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/vam

Date: August 4, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

20034284-01
US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 1 7 日
Date of Application:

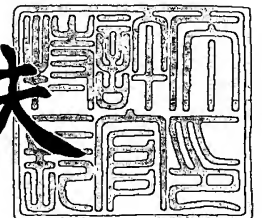
出 願 番 号 特 願 2 0 0 2 - 2 0 8 4 4 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 0 8 4 4 8]

出 願 人 ブラザー工業株式会社
Applicant(s):

2 0 0 3 年 7 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



57RG10

出証番号 出証特 2 0 0 3 - 3 0 5 6 9 7 0

【書類名】 特許願

【整理番号】 PBR01994

【提出日】 平成14年 7月17日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明者】

【住所又は居所】 愛知県名古屋市瑞穂区苗代町 1 5 番 1 号 ブラザー工業株式会社内

【氏名】 高橋 修

【特許出願人】

【識別番号】 000005267

【氏名又は名称】 ブラザー工業株式会社

【代理人】

【識別番号】 100082500

【弁理士】

【氏名又は名称】 足立 勉

【電話番号】 052-231-7835

【選任した代理人】

【識別番号】 100109195

【弁理士】

【氏名又は名称】 武藤 勝典

【手数料の表示】

【予納台帳番号】 007102

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006582

【包括委任状番号】 0018483

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ書込装置、及び、画像処理装置

【特許請求の範囲】

【請求項 1】 主走査方向に配列された画素毎の受光素子を備える第一のセンサと、

主走査方向に配列された画素毎の受光素子を備え、前記第一のセンサから副走査方向に所定間隔離れて平行配置された第二のセンサと、

前記第一のセンサを構成する前記各受光素子から得た画素信号の夫々を、該受光素子の配列順に出力する第一出力手段と、

前記第二のセンサを構成する前記受光素子の内、偶数番目に配置された各受光素子から得た画素信号の夫々を、該受光素子の配列順に出力する第二出力手段と

、
前記第二のセンサを構成する前記受光素子の内、奇数番目に配置された各受光素子から得た画素信号の夫々を、該受光素子の配列順に出力する第三出力手段と

、
を備える画像読取装置の前記第一及び第二及び第三出力手段から出力される各画素信号を、デジタル信号としての画素データにしてデータ格納用メモリに書き込むデータ書込装置であって、

前記第一及び第二及び第三出力手段から出力される各画素信号を、デジタル信号としての前記画素データに変換すると共に、該画素データを、所定パターンのシリアルデータ列で出力する画素データ出力手段と、

前記画素データ出力手段による画素データの出力パターンに合わせて、予め設定された初期値に対し加減算を繰り返すことにより、前記画素データ出力手段から出力される各画素データの画素位置を算出する算出手段と、

該算出手段による算出結果に基づき、前記画素データ出力手段から出力される画素データの書込先メモリアドレスを設定するアドレス設定手段と、

前記画素データ出力手段から出力された画素データを、前記データ格納用メモリ内の前記アドレス設定手段が設定した前記書込先メモリアドレスに対応する領域に書き込む書込手段と、

を備えることを特徴とするデータ書込装置。

【請求項 2】 前記算出手段は、

予め設定された第一の初期値に対し加減算を繰り返すことにより、前記第一出力手段から出力される前記画素信号に対応した画素データの画素位置を逐次算出する第一演算手段と、

予め設定された第二の初期値に対し加減算を繰り返すことにより、前記第二出力手段から出力される前記画素信号に対応した画素データの画素位置を逐次算出する第二演算手段と、

予め設定された第三の初期値に対し加減算を繰り返すことにより、前記第三出力手段から出力される前記画素信号に対応した画素データの画素位置を逐次算出する第三演算手段と、

を備え、前記画素データ出力手段による画素データの出力パターンに合わせて、前記第一及び第二及び第三演算手段のいずれか一つの演算結果を、当該算出手段の算出結果として出力する構成にされていることを特徴とする請求項 1 に記載のデータ書込装置。

【請求項 3】 前記書込手段は、

前記画素データ出力手段から出力される画素データの内、前記第一のセンサから得た前記画素信号に対応する画素データを記憶するための第一の F I F O メモリと、

前記画素データ出力手段から出力される画素データの内、前記第二のセンサから得た前記画素信号に対応する画素データを記憶するための第二の F I F O メモリと、

を備え、該各 F I F O メモリに記憶された複数の画素データをまとめて前記データ格納用メモリに書き込み可能な構成にされていることを特徴とする請求項 1 又は請求項 2 に記載のデータ書込装置。

【請求項 4】 前記書込手段は、バイトイネーブル信号を用いて、前記データ格納用メモリ内の前記アドレス設定手段が設定した前記書込先メモリアドレスに対応する領域にアクセスし、該領域に複数の画素データをまとめて書き込むことを特徴とする請求項 3 に記載のデータ書込装置。

【請求項 5】 主走査方向に配列された画素毎の受光素子を備える第一のセンサと、

主走査方向に配列された画素毎の受光素子を備え、前記第一のセンサから副走査方向に所定間隔離れて平行配置された第二のセンサと、

前記第一のセンサを構成する前記各受光素子から得た画素信号の夫々を、該受光素子の配列順に出力する第一出力手段と、

前記第二のセンサを構成する前記受光素子の内、偶数番目に配置された各受光素子から得た画素信号の夫々を、該受光素子の配列順に出力する第二出力手段と、

前記第二のセンサを構成する前記受光素子の内、奇数番目に配置された各受光素子から得た画素信号の夫々を、該受光素子の配列順に出力する第三出力手段と、

前記第一及び第二及び第三出力手段から出力される各画素信号を、デジタル信号としての画素データに変換すると共に、該画素データを、所定パターンのシリアルデータ列で出力する画素データ出力手段と、

前記画素データ出力手段から出力された各画素データを、メモリに順次書き込む書込手段と、

を備える画像読取装置の前記書込手段によって前記メモリに書き込まれた画素データ群に基づく画像を外部の画像形成装置に形成させるための画像処理装置であって、

前記画素データ出力手段による画素データの出力パターンに基づき、前記メモリから、前記各画素データを、前記外部の画像形成装置に形成させるべき前記画像の画素配列に対応した順序で、読み出して出力する復元出力手段、

を備えることを特徴とする画像処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、イメージセンサを用いて、画像を読み取る画像読取装置に関する。

【0 0 0 2】

【従来の技術】

従来より、画像読取装置としては、モノクロイメージセンサを用いて、原稿から画像を読み取りモノクロ画像データを生成する画像読取装置や、カラーイメージセンサを用いて、原稿から画像を読み取りカラー画像データを生成する画像読取装置、などが知られている。これらの画像読取装置は、例えば、コピー機、ファクシミリ装置、スキャナ装置などに組み込まれている。

【0003】

また、上記画像読取装置としては、ユーザの操作により操作部から入力された指令信号に従って、低解像度の画像データを出力するための低解像度モード、高解像度の画像データを出力するための高解像度モード、のいずれか一方を切り替え、動作させるものが知られている。

【0004】

上記複数モードを有する従来装置としては、例えば、イメージセンサから高解像度の画像データを得て、その高解像度の画像データを構成する画素データを間引きし、低解像度の画像データを生成する装置が知られている。

この他、主走査方向に複数の受光素子を備えるセンサと、そのセンサを構成する受光素子の内、偶数番目に配置された受光素子から得た画素信号の夫々を出力するシフトレジスタと、奇数番目に配置された受光素子から得た画素信号の夫々を出力するシフトレジスタと、からなるイメージセンサを備え、高解像度モードの場合には、両シフトレジスタからの出力信号を用いて高解像度の画像データを生成し、低解像度モードの場合には、一方のシフトレジスタからの出力信号を用いて低解像度（具体的には、高解像度モードの半分の解像度）の画像データを生成する画像読取装置が知られている。

【0005】**【発明が解決しようとする課題】**

ところで、画素データの間引きにより低解像度化する前者の従来装置においては、低解像度モードであってもイメージセンサによる画像の読み取り速度が向上しないため、低解像度化によるメリットを十分に享受できないといった問題があった。また二つのシフトレジスタを備える後者の画像読取装置では、低解像度モ

ードで画像処理速度を効果的に向上させることができる一方で、二つの解像度しか選択できないため、解像度について多くの設定自由度を求めるユーザのニーズに十分応えられないといった問題があった。

【0006】

本発明者らは、こうした問題に鑑み、後者の画像読取装置に対し、上記センサとは副走査方向に所定間隔離れた位置であって上記センサの各受光素子の間に受光位置が設定された複数の受光素子を備えるセンサと、そのセンサを構成する各受光素子から得た信号の夫々を出力するシフトレジスタと、を新たに設けることを考案した（図2参照）。

【0007】

このような画像読取装置においては、二つのセンサと三つのシフトレジスタとを組み合わせることにより、解像度を三段階に切り替えることができ、更には、解像度に応じて画像の処理速度が向上するので便利である。

例えば、上記画像読取装置においては、各センサが主走査方向に600dpiの解像度で読み取り可能にされている場合に、三つのシフトレジスタから得られる信号を全て用いることで1200dpiの画像データを生成することができ、追加した後者のシフトレジスタから得られる信号を用いることにより、600dpiの画像データを生成することができ、上記偶数番目（若しくは奇数番目）に配置された各受光素子の受光信号を出力するシフトレジスタから得られる信号を用いることにより、300dpiの画像データを生成することができる。

【0008】

しかしながら、この種の画像読取装置では、図3に示すように、イメージセンサから得られる画素信号の順序が、時間経過と共に、受光素子の主走査方向配列順と大きくずれていくため、一旦イメージセンサから得た画素信号を順にデジタル信号の画素データに変換した後、画素データを本来の順序に並び換えなければならないという欠点があった。尚、図3で示す括弧付き数字は、画素信号に対応する受光素子の主走査方向受光位置を表す数字である。

【0009】

即ち、上記画像読取装置では、全画素データを一旦メモリに格納した後に並び

替え操作を行うようにすると、並び替え前の全画素データを格納するための領域とは別に、並び替え後の全画素データを格納するための領域を、メモリ内に確保しなければならず、必要とするメモリ容量が増大するといった問題があった。また、このような技法を採用すると、並び替え操作の際に、メモリへのアクセス量が増加するため、画像読取装置全体の処理速度が低下するといった問題があった。

【0010】

本発明は、こうした問題に鑑みなされたものであり、三つのシフトレジスタを備えるイメージセンサを用いて画像を読み取る画像読取装置から出力される画素データを格納するために必要なメモリの容量を抑えると共に、少ないメモリアクセス量で画素データの並び替え操作を実行可能にすることを目的とする。

【0011】

【課題を解決するための手段】

かかる目的を達成するためになされた請求項1に記載のデータ書込装置は、主走査方向に配列された画素毎の受光素子を備える第一のセンサと、主走査方向に配列された画素毎の受光素子を備え、第一のセンサから副走査方向に所定間隔離れて平行配置された第二のセンサと、第一のセンサを構成する各受光素子から得た画素信号の夫々を、受光素子の配列順に出力する第一出力手段と、第二のセンサを構成する受光素子の内、偶数番目に配置された各受光素子から得た画素信号の夫々を、受光素子の配列順に出力する第二出力手段と、第二のセンサを構成する受光素子の内、奇数番目に配置された各受光素子から得た画素信号の夫々を、受光素子の配列順に出力する第三出力手段と、を備える画像読取装置の第一及び第二及び第三出力手段から出力される各画素信号を、デジタル信号としての画素データにしてデータ格納用メモリに書き込むデータ書込装置であって、画素データ出力手段と、算出手段と、アドレス設定手段と、書込手段と、を備える。

【0012】

画素データ出力手段は、第一及び第二及び第三出力手段から出力される各画素信号を、上記画素データに変換すると共に、その画素データを、所定パターンのシリアルデータ列で出力する。

一方、算出手段は、画素データ出力手段による画素データの出力パターンに合わせて、予め設定された初期値に対し加減算を繰り返すことにより、画素データ出力手段から出力される各画素データの画素位置を算出する。また、アドレス設定手段は、算出手段による算出結果に基づき、画素データ出力手段から出力される画素データの書込先メモリアドレスを設定する。そして、書込手段は、画素データ出力手段から出力された画素データを、データ格納用メモリ内のアドレス設定手段が設定した書込先メモリアドレスに対応する領域に書き込む。

【0013】

このように構成された請求項1に記載のデータ書込装置では、画素データ出力手段から出力される画素データの画素位置を算出手段にて算出することで、画素位置に対応するデータ格納用メモリ内の領域に画素データを書き込むことができるから、画素データの書き込みと同時に画素データの並び替えを実行して、画素データを本来の順序でデータ格納用メモリに格納することができる。したがって、従来のように並び替え操作に必要な領域をデータ格納用メモリ内に確保しなくても済む。

【0014】

この他、請求項1に記載のデータ書込装置では、画素データの書込と同時に並び替え操作を行える結果、画素データを一旦全てデータ格納用メモリに格納した後画素データの並び替え操作をする場合と比較して、少ないメモリアクセス量で画素データの並び替えを完了することができる。したがって、本発明のデータ書込装置を画像読取装置に組み込み、CPUや、メモリ等を共有化する場合には、画像読取装置全体の処理負荷を軽減することができ、画像読取装置内における各種処理速度が低下するのを抑制することができる。

【0015】

尚、画素データ出力手段から出力される画素データの画素位置は、第一及び第二及び第三の各出力手段毎に一定の規則性があることから、その出力手段毎に、簡単な計算で算出することが可能である。したがって、上記算出手段は、具体的に請求項2に記載のように構成されると良い。

【0016】

請求項 2 に記載のデータ書込装置における算出手段は、予め設定された第一の初期値に対し加減算を繰り返すことにより、第一出力手段から出力される画素信号に対応した画素データの画素位置を逐次算出する第一演算手段と、予め設定された第二の初期値に対し加減算を繰り返すことにより、第二出力手段から出力される画素信号に対応した画素データの画素位置を逐次算出する第二演算手段と、予め設定された第三の初期値に対し加減算を繰り返すことにより、第三出力手段から出力される画素信号に対応した画素データの画素位置を逐次算出する第三演算手段と、を備え、画素データ出力手段による画素データの出力パターンに合わせて、第一及び第二及び第三演算手段のいずれか一つの演算結果を、当該算出手段の算出結果として出力する構成にされている。

【0017】

請求項 2 に記載のデータ書込装置によれば、第一及び第二及び第三の各出力手段の画素信号に対応する画素データの画素位置をそれぞれの演算手段で算出することができるから、全ての画素データの画素位置を共通する一つの演算手段で計算するよりも、画素位置の計算方法が簡単になり、設計者にとって、演算手段を設計しやすいというメリットがある。

【0018】

この他、一般的なメモリ（DRAM等）では、数バイト単位でデータをまとめて書込することができるので、請求項 1 又は請求項 2 に記載のデータ書込装置においては、上記書込手段を請求項 3 に記載のように構成すると良い。

請求項 3 に記載のデータ書込装置における書込手段は、画素データ出力手段から出力される画素データの内、第一のセンサから得た画素信号に対応する画素データを記憶するための第一の F I F O メモリと、画素データ出力手段から出力される画素データの内、第二のセンサから得た画素信号に対応する画素データを記憶するための第二の F I F O メモリと、を備え、各 F I F O メモリに記憶された複数の画素データをまとめて上記データ格納用メモリに書き込み可能な構成にされている。

【0019】

請求項 3 に記載のデータ書込装置において、第一の F I F O メモリと第二の F

I F Oメモリと、を設けているのは、第一のセンサ及び第二のセンサが互いに副走査方向に所定間隔離れており、第一のセンサから得られる画素信号に対応する画素データの画素位置が、第二のセンサから得られる画素信号に対応する画素データの画素位置に対して大きくずれることを理由とする。

【0020】

請求項3に記載のようにF I F Oメモリを二つ設ければ、各F I F Oメモリ内の画素データの画素位置に大きな差がないので、それらの画素データをそれぞれの画素位置に対応するデータ格納用メモリ内の領域に、まとめて書き込むことができる。したがって、請求項3に記載のデータ書込装置によれば、画素データの書込に要するメモリアクセス量を抑制することができる。

【0021】

尚、請求項3に記載のデータ書込装置においては、具体的に書込手段を、請求項4に記載のように構成すればよい。

請求項4に記載のデータ書込装置における書込手段は、バイトイネーブル信号を用いて、データ格納用メモリ内の上記アドレス設定手段が設定した書込先メモリアドレスに対応する領域にアクセスし、その領域に複数の画素データをまとめて書き込む構成にされている。請求項4に記載のデータ書込装置のようにバイトイネーブル信号を用いれば、画素位置に対応したメモリ領域に複数の画素データをまとめて書き込むことができるので、メモリアクセス量を抑制することができる。

【0022】

この他、請求項5に記載の画像処理装置は、主走査方向に配列された画素毎の受光素子を備える第一のセンサと、主走査方向に配列された画素毎の受光素子を備え、第一のセンサから副走査方向に所定間隔離れて平行配置された第二のセンサと、第一のセンサを構成する各受光素子から得た画素信号の夫々を、受光素子の配列順に出力する第一出力手段と、第二のセンサを構成する受光素子の内、偶数番目に配置された各受光素子から得た画素信号の夫々を、受光素子の配列順に出力する第二出力手段と、第二のセンサを構成する受光素子の内、奇数番目に配置された各受光素子から得た画素信号の夫々を、受光素子の配列順に出力する第

三出力手段と、第一及び第二及び第三出力手段から出力される各画素信号を、デジタル信号としての画素データに変換すると共に、画素データを、所定パターンのシリアルデータ列で出力する画素データ出力手段と、画素データ出力手段から出力された各画素データを、メモリに順次書き込む書込手段と、を備える画像読取装置の上記書込手段によって書き込まれた画素データ群に基づく画像を外部の画像形成装置に形成させるための画像処理装置であって、画素データ出力手段による画素データの出力パターンに基づき、メモリから、各画素データを、外部の画像形成装置に形成させるべき画像の画素配列に対応した順序で、読み出して出力する復元出力手段、を備えることを特徴とする。

【0023】

請求項5に記載の画像処理装置によれば、画像形成装置へ画素データを送出する際に行われるメモリからの画素データの読み出しと同時に、画素データの並び替えを実行することができるから、従来のように並び替え操作に必要な領域をメモリ内に確保しなくても済む。

【0024】

この他、請求項5に記載の画像処理装置では、画素データの読み出しと同時に並び替え操作を行える結果、少ないメモリアクセス量で画素データの並び替えを完了することができる。したがって、本発明の画像処理装置を画像読取装置内に組み込んで、CPUや、メモリ等を、共有化する場合には、画像読取装置の処理速度が低下するのを抑制することができる。

【0025】

【発明の実施の形態】

以下に本発明の実施例について、図面とともに説明する。図1は、本発明のデータ書込装置としての機能を備える画像読取装置1の内部構成を表す概略ブロック図である。

【0026】

本実施例の画像読取装置1は、CCD (Charge Coupled Device) イメージセンサ3と、アナログフロントエンド (AFE) IC5と、を備えており、CCDイメージセンサ3を用いて原稿から画像を読み取り、その

画像読取の際にCCDイメージセンサ3の各チャネル(CH1, CH2, CH3)から出力される画素信号を、画素データ出力手段としてのアナログフロントエンドIC5に入力する。

【0027】

この画像読取装置1は、アナログフロントエンドIC5内のマルチプレクサ(MUX)7を用いて、CCDイメージセンサ3から得た各チャネルの画素信号を所定パターンで順次アナログデジタル変換器(ADC)9に入力することにより、各チャネルの画素信号をデジタル信号としての画素データに変換し、その画素データを、マルチプレクサ7の動作に従う所定パターンのシリアルデータ列で、アナログフロントエンドIC5からASIC10内のデータサンプリング制御部11に入力する。

【0028】

ASIC10には、上記データサンプリング制御部11の他、当該画像読取装置1を統括制御するCPU13や、メモリ制御部15、クロック生成部17、CCD制御部19、AFE制御部21、などが内蔵されている。また、ASIC10外部には、画素データ格納用のメモリ23(具体的には、RAM)と、当該画像読取装置1の各種設定情報を記憶させておくためのEEPROM24と、が設けられている。

【0029】

データサンプリング制御部11は、アナログフロントエンドIC5から出力された画素データの内、メモリ23に記憶させる必要のない画素データを除去しつつ、残りの画素データをメモリ制御部15に入力する構成にされている。

メモリ制御部15は、画素データの書込制御と、画素データの読取制御を行う構成にされており、データサンプリング制御部11から入力される画素データを順次メモリ23に書き込むと共に、CPU13からの読出指令に従って、メモリ23に記憶されている画素データを読み出し、その画素データを外部の画像形成装置25に向けて出力する(詳細後述)。

【0030】

クロック生成部17は、CCDイメージセンサ3やアナログフロントエンドI

C 5、A S I C 1 0 内の各部を、同期して動作させるための基準クロック信号を生成する構成にされている。また、C C D 制御部 1 9 は、クロック生成部 1 7 から得た基準クロック信号に従って、転送クロック信号 $\phi 1$ 、 $\phi 2$ やリセット信号 R S、ゲート信号 S H を生成し、これらを用いて C C D イメージセンサ 3 を駆動制御する。この他、A F E 制御部 2 1 は、アナログフロントエンド I C 5 に対して各種設定を施しオフセット調整や利得調整を行う構成にされている。

【0 0 3 1】

さて、上記 C C D 制御部 1 9 が駆動制御する C C D イメージセンサ 3 は、具体的に図 2 のように構成されている。尚、図 2 は、C C D イメージセンサ 3 の内部構成を概略的に表す説明図である。また、図 2 において各受光素子 3 2、3 4 a、3 4 b に記した数字は、主走査方向受光位置（即ち、画素位置）を表す数字である。

【0 0 3 2】

本実施例の C C D イメージセンサ 3 は、第一センサ 3 1 及び第二センサ 3 3 と、第一シフトレジスタ 3 5 及び第二シフトレジスタ 3 6 及び第三シフトレジスタ 3 7 と、を備えており、所謂モノクロ C C D イメージセンサとして機能する。

第一センサ 3 1 は、主走査方向に配列された複数の受光素子 3 2（具体的には、フォトダイオード）を備えている。一方、第二センサ 3 3 は、主走査方向に配列された複数の受光素子 3 4 a、3 4 b（具体的には、フォトダイオード）を備え、第一センサ 3 1 から副走査方向に所定間隔（例えば 5 ライン分）離れて平行配置されている。尚、第二センサ 3 3 を構成する各受光素子 3 4 a、3 4 b は、第一センサ 3 1 から副走査方向に所定間隔離れた位置であって、その第一センサ 3 1 を構成する各受光素子 3 2 の間（即ち、半画素だけずれた位置）に受光位置が設定されている。つまり、C C D イメージセンサ 3 内の受光素子 3 2、3 4 a、3 4 b は、主走査方向の始端から終端に向けて、互いに半画素だけずれて配置され、所謂千鳥配列とされている。

【0 0 3 3】

一方、本発明の第一～第三出力手段としての第一～第三シフトレジスタ 3 5、3 6、3 7 は、周知の二相駆動 C C D シフトレジスタで構成されている。具体的

に説明すると、第一シフトレジスタ 35 は、第一センサ 31 を構成する画素毎の受光素子 32 が受光結果として出力する画素信号（即ち、信号電荷）の夫々をシフトゲート 35a を介して取得し、その画素信号の夫々を、CCD 制御部 19 からの転送クロック信号 $\phi 1$ 、 $\phi 2$ に従って、第一シフトレジスタ 35 の出力端に転送し、その出力端から画素信号を受光素子 32 の配列順に出力する構成にされている。

【0034】

また、第二シフトレジスタ 36 は、第二センサ 33 を構成する画素毎の受光素子 34a、34b の内、偶数番目に配置された各受光素子 34a からシフトゲート 36a を介して画素信号を取得し、その画素信号の夫々を、CCD 制御部 19 からの転送クロック信号 $\phi 1$ 、 $\phi 2$ に従って、第二シフトレジスタ 36 の出力端に転送し、その出力端から画素信号を受光素子 34a の配列順に出力する構成にされている。

【0035】

この他、第三シフトレジスタ 37 は、第二センサ 33 を構成する画素毎の受光素子 34a、34b の内、奇数番目に配置された各受光素子 34b からシフトゲート 37a を介して画素信号を取得し、その画素信号の夫々を、CCD 制御部 19 からの転送クロック信号 $\phi 1$ 、 $\phi 2$ に従って、第三シフトレジスタ 37 の出力端に転送し、受光素子 34b の配列順に画素信号を出力する構成にされている。

【0036】

即ち、上記構成の CCD イメージセンサ 3 においては、CCD 制御部 19 の制御によって、第一シフトレジスタ 35 に接続された第一チャネル（CH1）から、主走査方向における偶数（ $2m$ ）番目の画素（ただし、 m は 1 以上の自然数）に対応する画素信号が順に出力され、第二シフトレジスタ 36 に接続された第二チャネル（CH2）から、主走査方向における（ $4m-1$ ）番目の画素（ただし、 m は 1 以上の自然数）に対応する画素信号が順に出力され、第三シフトレジスタ 37 に接続された第三チャネル（CH3）から、主走査方向における（ $4m-3$ ）番目の画素（ただし、 m は 1 以上の自然数）に対応する画素信号が順に出力される。

【0037】

尚、周知のように、各シフトレジスタ35～37では、入力される転送クロック信号 ϕ 1に対応した周期で、転送が行われる。また転送は、転送クロック信号 ϕ 1がH（ハイ）からL（ロウ）信号に切替わる時点で行われ、この時点で、画素信号としての信号電荷が、各シフトレジスタ35～37から出力される。

【0038】

この他、上記各シフトレジスタ35, 36, 37の出力端には、シフトレジスタ35, 36, 37が画素信号として出力する信号電荷をアナログ電圧に変換するための周知の変換回路35b, 36b, 37bが備えられている。変換回路35b, 36b, 37bは、信号電荷をアナログ電圧に変換するためのコンデンサを備えており、このコンデンサの電圧を表す信号を出力する構成にされている。また、この変換回路35b, 36b, 37bは、リセット信号RSがL（ロウ）信号からH（ハイ）信号に切り替わると、コンデンサの電圧をリセットする構成にされている。

【0039】

図3は、CCDイメージセンサ3の各チャネルから出力される画素信号の態様を表すタイムチャートである。変換回路35b, 36b, 37bにおいては、シフトレジスタ35, 36, 37の転送クロック信号 ϕ 1が、H信号からL信号に切り替わると、シフトレジスタ35, 36, 37から信号電荷が流入して、コンデンサの電圧が変化するため、CCDイメージセンサ3の各チャネルからは、この電圧の変化に対応した画素信号が出力される。

【0040】

この変化前後の電圧差は、シフトレジスタ35, 36, 37から出力される信号電荷に対応しており、アナログフロントエンドIC5内の相関二重サンプリング回路（CDS）41～43により計測され、その結果は、画素信号として、アナログフロントエンドのマルチプレクサ7に入力される。尚、図3で示す括弧付き数字は、画素信号に対応する受光素子32, 34a, 34bの主走査方向受光位置（即ち、画素位置）を表す数字である。図3の最下段には、第三チャネル（CH3）から第一チャネル（CH1）までの画素信号に対応する画素データが順

にアナログフロントエンド IC 5 から出力される場合の画素データの出力順を示す。

【0041】

図 4 は、図 3 に示した CCD イメージセンサ 3 からの出力信号を受けるアナログフロントエンド IC 5 の内部構成を概略的に表す説明図である。

アナログフロントエンド IC 5 は、主に、相関二重サンプリング回路 (CDS) 41~43 と、オフセット調整回路 44~46 と、プログラマブルゲインアンプ (PGA) 47~49 と、上記マルチプレクサ (MUX) 7 と、上記アナログデジタル変換器 (ADC) 9 と、インタフェース 53 と、レジスタ部 55 と、を備えている。このアナログフロントエンド IC 5 は 3 つのチャネルを備えており、上記相関二重サンプリング回路 41~43、オフセット調整回路 44~46、及びプログラマブルゲインアンプ 47~49 は、各チャネル毎に備えられている。

【0042】

インタフェース 53 は、AFE 制御部 21 などの外部装置からレジスタ部 55 に各種データを書き込むためのものである。

また、相関二重サンプリング回路 41~43 は、CCD イメージセンサ 3 から取得した画素信号からノイズや誤差成分等を除去するために設けられており、各チャネル (CH1, CH2, CH3) の入力端に接続されている。この相関二重サンプリング回路 41~43 は、周知のように、CCD イメージセンサ 3 から出力される画素信号を時間をずらして二度サンプリングすることによって、シフトレジスタ 35~37 における転送クロック信号の L (ロウ) / H (ハイ) 切替時にコンデンサへの電荷のチャージが原因で発生する誤差電圧を除去する。

【0043】

上述したように本実施例では、転送クロック信号 $\phi 1$ が、H 信号から L 信号に切り替わると、シフトレジスタ 35~37 から信号電荷が変換回路 35b, 36b, 37b に流入して、CCD イメージセンサ 3 からの出力電圧が変化する。相関二重サンプリング回路 41~43 は、この変化前後の電圧を読み取り、その電圧差を画素信号として出力するのである。この相関二重サンプリング回路 41~

43の出力信号は、対応するチャンネルのオフセット調整回路44～46に入力される。

【0044】

オフセット調整回路44～46は、デジタルアナログ変換器(DAC)44a, 45a, 46aと、加算器44b, 45b, 46bと、を備えており、各チャンネル(CH1, CH2, CH3)の入力信号に対してオフセット電圧を加える構成にされている。レジスタ部55が備えるオフセットレジスタ57には、オフセット調整回路44～46により付加されるオフセット電圧を表すオフセット設定値が、チャンネル毎に記憶されており、各チャンネルのオフセット調整回路44～46は、オフセットレジスタ57に記憶された各自のオフセット設定値に対応するオフセット電圧を、相関二重サンプリング回路41～43から伝送されてきた画素信号に加えて、そのオフセット電圧付加後の画素信号を、対応するチャンネルのプログラマブルゲインアンプ47～49に入力する。

【0045】

プログラマブルゲインアンプ47～49は、入力信号に対しての利得を調整可能な周知のアナログアンプであり、各オフセット調整回路44～46の下流側に設けられている。レジスタ部55が備えるゲインレジスタ58には、プログラマブルゲインアンプ47～49に設定される利得を表す利得設定値がチャンネル毎に記憶されており、各チャンネルのプログラマブルゲインアンプ47～49は、ゲインレジスタ58に記憶された各自の利得設定値に従った利得で、オフセット調整回路44～46を介してCCDイメージセンサ3から入力された対応チャンネルの画素信号を増幅し、増幅後の画素信号をマルチプレクサ7に入力する。尚、以下では、プログラマブルゲインアンプを、単に「アンプ」と表現することにする。

【0046】

マルチプレクサ7は、3つの入力チャンネルと、一つの出力チャンネルと、を備えており、各入力チャンネルは、対応するアンプ47～49の出力端に接続され、出力チャンネルはアナログデジタル変換器9に接続されている。このマルチプレクサ7は、レジスタ59の設定値に従うパターンで、3つのアンプ47～49からの入力信号のいずれかを選択して出力する構成にされており、各アンプ47～49

により増幅された画素信号を、順次アナログデジタル変換器 9 に入力する。

【0047】

その他、アナログデジタル変換器 9 は、マルチプレクサ 7 から出力されたアナログの画素信号を、デジタル信号（画素データ）に変換して出力する。尚、このアナログデジタル変換器 9 の出力端は、データサンプリング制御部 11 に接続されている。

【0048】

続いて、上記アナログフロントエンド IC 5 から出力される画素データをデータサンプリング制御部 11 を介して取得するメモリ制御部 15 の詳細構成について説明する。図 5 は、メモリ制御部 15 の構成を表す概略ブロック図である。

メモリ制御部 15 は、主に、メモリアクセス調停部 151 と、メモリ書込制御部 153 と、メモリ読出制御部 155 と、アドレス設定部 157 と、から構成されている。

【0049】

メモリアクセス調停部 151 は、メモリ 23 へのアクセスを制御するためのものであり、上記メモリ書込制御部 153 又はメモリ読出制御部 155 からメモリ 23 へのアクセス要求があると、他のアクセス要求を考慮して、適宜要求元にメモリ 23 へのアクセスを許可する。

【0050】

メモリ書込制御部 153 は、データサンプリング制御部 11 が FIFO メモリ（即ち、先入れ先出し方式メモリ）111 に格納した上記アナログフロントエンド IC 5 からの画素データを、順次 FIFO メモリ 111 から読み出して取得する構成にされている。また、このメモリ書込制御部 153 は、メモリアクセス調停部 151 に対してアクセス要求を行ってアクセス権を確保した後、データサンプリング制御部 11 から取得した画素データを、アドレス設定部 157 が設定した書込先メモリアドレスに対応するメモリ 23 内の領域に書き込む構成にされている。

【0051】

一方、メモリ読出制御部 155 は、CPU 13 から読出指令があると、メモリ

23にアクセスして、画素データをメモリアドレスの若い順に読み出し、その画素データを外部の画像形成装置25に向けて出力する構成にされている。

続いて、書込先メモリアドレスを設定する上記アドレス設定部157の構成について図6を用いて説明する。尚、図6は、アドレス設定部157の構成を表す概略ブロック図である。

【0052】

アドレス設定部157は、CPU13の設定処理（図7参照）により設定された初期値に対し、アナログフロントエンドIC5からの画素データの出力パターンに適合する加減算処理を繰り返すことによって、各画素データの画素位置に対応した書込先メモリアドレスを設定する構成にされており、これらの動作を、更新タイミング信号生成部61、第一演算部63、第二演算部65、第三演算部67、アドレス登録部69、セクタ71、切替制御部73、などを用いて実現する。

【0053】

このアドレス設定部157は、メモリ書込制御部153と同期して動作し、メモリ書込制御部153が1画素分の画素データをメモリ23に書込する度に入力される画素処理タイミング信号に基づいて、更新タイミング信号生成部61及びセクタ71の出力を切り替えるための上記切替制御部73を動作させる。

【0054】

更新タイミング信号生成部61は、第一～第三演算部63、65、67の動作タイミングを制御する構成にされており、上記画素処理タイミング信号が入力される度に自身内蔵のカウンタ61aを動作させ、そのカウンタの値に対応する演算部63、65、67に対して、更新タイミング信号を入力する。

【0055】

第一演算部63は、加算値レジスタRa1、Rb1と、加算器75と、フリップフロップ回路（FF）76と、から構成されており、加算器75にて、加算値レジスタRb1に記憶された値V__Rb1と、加算値レジスタRa1に記憶された値V__Ra1とを加算し、その加算結果V__Ra1+V__Rb1を、第一更新タイミング信号が入力される度に、加算値レジスタRb1に上書き登録すること

によって、加算値レジスタ R b 1 の値 $V_R b 1$ を更新する。

【0056】

一方、第二演算部 6 5 は、加算値レジスタ R a 2, R b 2 と、加算器 7 8 と、フリップフロップ回路 (F F) 7 9 と、から構成されており、加算値レジスタ R b 2 の値 $V_R b 2$ と、加算値レジスタ R a 2 の値 $V_R a 2$ と、を加算器 7 8 にて加算し、その加算結果 $V_R a 2 + V_R b 2$ を、第二更新タイミング信号が入力される度に、加算値レジスタ R b 2 に上書き登録して、加算値レジスタ R b 2 の値 $V_R b 2$ を更新する。

【0057】

この他、第三演算部 6 7 は、加算値レジスタ R a 3, R b 3 と、加算器 8 1 と、フリップフロップ回路 (F F) 8 2 と、から構成されており、加算値レジスタ R b 3 の値 $V_R b 3$ と、加算値レジスタ R a 3 の値 $V_R a 3$ と、を加算器 8 1 にて加算し、その加算結果 $V_R a 3 + V_R b 3$ を、第三更新タイミング信号が入力される度に、加算値レジスタ R b 3 に登録して、加算値レジスタ R b 3 の値 $V_R b 3$ を更新する。

【0058】

またセクタ 7 1 は、切替制御部 7 3 に制御され、アナログフロントエンド I C 5 からの画素データの出力パターンに合わせて、第一～第三演算部 6 3, 6 5, 6 7 のいずれか一つの加算値レジスタ R b 1 ~ R b 3 に登録された値を、アドレス登録部 6 9 に入力する。具体的に切替制御部 7 3 は、画素処理タイミング信号が入力される度にカウントアップされる自身内蔵のカウンタ 7 3 a の値に基づいて、セクタ 7 1 を制御する。

【0059】

この他、アドレス登録部 6 9 は、加算器 8 4、フリップフロップ回路 (F F) 8 5、及び、アドレスレジスタ R R、を備えており、画素タイミング信号が入力される度に、セクタ 7 1 から出力される加算値レジスタ R b 1 ~ R b 3 の値 $V_R b$ と、アドレスレジスタ R R に記憶されている書込先メモリアドレス $V_R R$ とを加算し、その加算結果 $V_R b + V_R R$ を、アドレスレジスタ R R に上書き登録して、書込先メモリアドレス $V_R R$ を更新する。

【0060】

続いて、本実施例のマルチプレクサ7が、第三チャンネル（CH3）のアンプ49、第二チャンネル（CH2）のアンプ48、第一チャンネル（CH1）のアンプ47を順に選択して、そのアンプ47～49が出力する画素信号をアナログデジタル変換器9に入力する動作を繰り返す構成にされている場合に、CPU13が実行する図7の設定処理について説明する。尚、図7は、画像の読取指令が外部より入力されると、CPU13が実行する設定処理を表すフローチャートである。

【0061】

処理を実行すると、CPU13は、まず、アナログフロントエンドIC5からの画素データの出力パターンに合わせて更新タイミング信号が各演算部63、65、67に入力されるように、更新タイミング信号生成部61を設定すると共に、画素データの出力パターンに合わせてセクタ71が切替わるように、切替制御部73を設定する（S100）。また、アドレスレジスタRRに書込先メモリアドレスの初期値INITを設定する（S110）。

【0062】

その後、CPU13は、マルチプレクサ7が、アナログデジタル変換器9への入力信号を第三チャンネルの画素信号から第二チャンネルの画素信号に変更した際に、アナログフロントエンドIC5から出力される第二チャンネルの画素データの画素位置を計算するため、加算値レジスタRa1に、初期値0を設定し、加算値レジスタRb1に初期値+2を設定する（S120）。尚、加算値レジスタRb1の値+2は、第三チャンネルの画素信号の画素位置に対する第二チャンネルの画素信号の相対的な画素位置を表す値である。

【0063】

続いて、CPU13は、マルチプレクサ7が、アナログデジタル変換器9への入力信号を第二チャンネルの画素信号から第一チャンネルの画素信号に変更した際に、アナログフロントエンドIC5から出力される第一チャンネルの画素データの画素位置を計算するため、加算値レジスタRa2に、初期値-2を設定し、加算値レジスタRb2に初期値-（gap+1）を設定する（S130）。

【0064】

ここで、値 gap は、第一センサ 31 及び第二センサ 33 の主走査方向受光素子数（ライン幅）が V_a であり、第一センサ 31 と第二センサ 33 との副走査方向間隔（ラインギャップ）が V_b である場合に、関係式 $gap = V_a \times V_b$ で求められる値である。例えば、 $V_a = 4096$ 、 $V_b = 5$ である場合には、 $gap = 20480$ となり、 $V_a = 256$ 、 $V_b = 5$ である場合には、 $gap = 1280$ となる。以下の説明（図 8 を用いた説明等）では、簡単な具体例として、 $gap = 1280$ である場合を採り上げて説明することにするが、本発明の画像読取装置は、その具体例に限定されるものではない。

【0065】

尚、加算値レジスタ R_{a2} に設定される値 -2 は、CCD イメージセンサ 3 の第二チャンネルから主走査方向画素位置が $4m-1$ の画素信号が出力されるのに対し、第一チャンネルからは、主走査方向画素位置が $2m$ の画素信号が出力されることに対応して設定される値である。

【0066】

この後、CPU 13 は、マルチプレクサ 7 が、アナログデジタル変換器 9 への入力信号を第一チャンネルの画素信号から第三チャンネルの画素信号に変更した際に、アナログフロントエンド IC 5 から出力される第三チャンネルの画素データの画素位置を計算するため、加算値レジスタ R_{a3} に、初期値 $+2$ を設定し、加算値レジスタ R_{b3} に初期値 $gap + 3$ を設定し（S140）、当該処理を終了する。尚、加算値レジスタ R_{a3} に設定される値 $+2$ は、CCD イメージセンサ 3 の第一チャンネルから主走査方向画素位置が $2m$ の画素信号が出力されるのに対し、第三チャンネルからは、主走査方向画素位置が $4m-3$ の画素信号が出力されることに対応して設定される値である。

【0067】

次に、上記設定処理終了後にメモリ制御部 15 で行われる画素データの書込処理について説明する。図 8（a）は、アナログフロントエンド IC 5 からデータサンプリング制御部 11 を介してメモリ制御部 15 に入力される画素データの入力順を表す説明図であり、図 8（b）は、メモリ 23 内の画素データの配列を表す説明図である。

【0068】

CPU13は、上記設定処理終了後、CCD制御部19を作動させて、CCD制御部19からシフトレジスタ35～37を動作させるための転送クロック信号 $\phi 1$ 、 $\phi 2$ を、CCDイメージセンサ3に入力することにより上記シフトレジスタ35～37の転送制御をCCD制御部19を介して実行し、主走査方向に画像を読み取る。また更に、CPU13は、主走査方向の画像読取が完了すると、図示しない原稿送り機構あるいは読取ユニットを動作させるためのモータ制御部を介して、原稿あるいは、CCDイメージセンサ3を副走査方向に相対的に移動させ、再び主走査方向の走査を行うことにより次のラインの画像読取を行う。そしてこれらの動作を繰り返すことにより、CCDイメージセンサ3を用いて、二次元的に画像を読み取る。尚、図9は、画像読取の態様を表す説明図である。

【0069】

このため、アナログフロントエンドIC5からは、第二センサ33の始端側の受光素子34bに対応する画素データから、第三チャンネル(CH3)、第二チャンネル(CH2)、第一チャンネル(CH1)の順に、主走査方向の画素データが出力される。また第一センサ31及び第二センサ33による主走査方向の画像読取が完了すると、次のラインの画像が読み取られ、次のラインの画素データが、同じく第三チャンネル(CH3)、第二チャンネル(CH2)、第一チャンネル(CH1)の順に、アナログフロントエンドIC5から出力される。

【0070】

図8(a)では、第二センサ33が第5ライン～第11ラインについての画像読取を行う場合に、メモリ制御部15に入力される画素データの順序を示す。尚、図では、画素データの画素位置を(ライン番号, 主走査方向画素位置番号)で表す。

【0071】

具体的に、画素データは、画素位置が(5, 1)のものから順に、(5, 3)、(0, 2)、(5, 5)、(5, 7)、(0, 4)、…、(0, 8)、…①…、(6, 1)、(6, 3)、…、(1, 8)、…②…、(7, 1)、…のようにメモリ制御部15に入力される。また、この入力に対し、メモリ制御部15は、

上記設定処理によって特徴付けられた演算部 63, 65, 67 及びアドレス登録部 69 で、各画素データの画素位置を算出し、画素位置に対応するメモリ領域に画素データを書き込む。

【0072】

具体的に、メモリ書込制御部 153 は、画素位置 (5, 1) の画素データを取得した時点で、その画素データを、アドレスレジスタ RR の値 INIT (図では 0x0500) に対応するメモリ 23 の領域に書き込む。この書込が完了すると、アドレスレジスタ RR には、上記画素処理タイミング信号により、加算値レジスタ Rb1 の初期値 +2 とアドレスレジスタ RR の値 INIT との加算結果 INIT + 2 (図では 0x0502) が書き込まれて、書込先メモリアドレスが更新される。この後、更新タイミング信号生成部 61 は、第一更新タイミング信号を第一演算部 63 に入力して、加算値レジスタ Rb1 を更新する。ただし本実施例においては加算値レジスタ Ra1 の値が 0 であることから、更新後も加算値レジスタ Rb1 は +2 で維持される。また、切替制御部 73 は、セクタ 71 を制御して、第二演算部 65 とセクタ 71 とを接続する。

【0073】

次に、画素位置 (5, 3) の画素データが入力されると、メモリ書込制御部 153 は、アドレスレジスタ RR の値に従うメモリアドレス INIT + 2 (図では 0x0502) に対応するメモリ領域に、画素位置 (5, 3) の画素データを書き込む。この書込が完了すると、加算値レジスタ Rb2 の初期値 - (gap + 1) 及びアドレスレジスタ RR の値 INIT + 2 が、加算器 84 にて加算されて、画素処理タイミング信号により、その加算結果 INIT - gap + 1 (0x0001) がアドレスレジスタ RR に書き込まれ、書込先メモリアドレスが更新される。この後、更新タイミング信号生成部 61 は、第二更新タイミング信号を第二演算部 65 に入力して、加算値レジスタ Rb2 を更新する。また、切替制御部 73 は、セクタ 71 を制御して、第三演算部 67 とセクタ 71 とを接続する。

【0074】

次に、画素位置 (0, 2) の画素データが入力されると、メモリ書込制御部 153 は、メモリアドレス INIT - gap + 1 に対応するメモリ領域に画素位置

(0, 2) の画素データを書き込む。この書込が完了すると、画素処理タイミング信号により、加算値レジスタ R b 3 の初期値 $gap + 3$ 及びアドレスレジスタ R R の値 $INIT - gap + 1$ との加算結果 $INIT + 4$ (図では $0x0504$) がアドレスレジスタ R R に書き込まれて書込先メモリアドレスが更新される。この後、更新タイミング信号生成部 6 1 は、第三更新タイミング信号を第三演算部 6 7 に入力して、加算値レジスタ R b 3 を更新する。また、切替制御部 7 3 は、セクタ 7 1 を制御して、第一演算部 6 3 とセクタ 7 1 とを接続する。

【0075】

また、画素位置 (5, 5) の画素データが入力されると、メモリ書込制御部 1 5 3 は、メモリアドレス $INIT + 4$ (図では $0x0504$) に対応するメモリ領域に画素位置 (5, 5) の画素データを書き込む。そして、書込が完了すると、画素処理タイミング信号により、加算値レジスタ R b 1 の値 + 2 及びアドレスレジスタ R R の値 $INIT + 4$ との加算結果 $INIT + 6$ (図では $0x0506$) がアドレスレジスタ R R に書き込まれて書込先メモリアドレスが更新される。この後、更新タイミング信号生成部 6 1 は、第一更新タイミング信号を第一演算部 6 3 に入力して、加算値レジスタ R b 1 を更新する。また、切替制御部 7 3 は、セクタ 7 1 を制御して、第二演算部 6 5 とセクタ 7 1 とを接続する。

【0076】

そして、画素位置 (5, 7) の画素データが入力されると、メモリ書込制御部 1 5 3 は、メモリアドレス $INIT + 6$ (図では $0x0506$) に対応するメモリ領域に画素位置 (5, 7) の画素データを書き込む。そして、書込が完了すると、画素処理タイミング信号により、加算値レジスタ R b 2 の値 - ($gap + 3$) と、アドレスレジスタ R R の値 $INIT + 6$ との加算結果 $INIT - gap + 3$ ($0x0003$) がアドレスレジスタ R R に書き込まれて書込先メモリアドレスが更新される。この後、更新タイミング信号生成部 6 1 は、第二更新タイミング信号を第二演算部 6 5 に入力して、加算値レジスタ R b 2 を更新する。また、切替制御部 7 3 は、セクタ 7 1 を制御して、第三演算部 6 7 とセクタ 7 1 とを接続する。

【0077】

この後、画素位置 (0, 4) の画素データが入力されると、メモリ制御部 15 は、メモリ領域 $INIT - gap + 3$ に画素位置 (0, 4) の画素データを書き込む。そして、書込が完了すると、画素処理タイミング信号により、加算値レジスタ $Rb3$ の値 $gap + 5$ と、アドレスレジスタ RR の値 $INIT - gap + 3$ との加算結果 $INIT + 8$ (図では $0x0508$) がアドレスレジスタ RR に書き込まれて書込先メモリアドレスが更新される。

【0078】

このような動作の繰り返しにより、メモリ 23 内には、各画素データが画素位置に対応したメモリアドレス先の領域に書き込まれる。

以上、本実施例の画像読取装置 1 について説明したが、本実施例の画像読取装置 1 によれば、CPU 13 の設定処理 (図 7) により特徴付けられて、第一演算部 63 が、第二シフトレジスタ 36 から出力される画素信号に対応する画素データの画素位置を、前回アナログフロントエンド IC 5 から出力された第三シフトレジスタ 37 の画素信号に対応する画素データの画素位置からの差分値で逐次算出し、第二演算部 65 が、第一シフトレジスタ 35 から出力される画素信号に対応する画素データの画素位置を、前回アナログフロントエンド IC 5 から出力された第二シフトレジスタ 36 の画素信号に対応する画素データの画素位置からの差分値で逐次算出し、第三演算部 67 が、第三シフトレジスタ 37 から出力される画素信号に対応する画素データの画素位置を、前回アナログフロントエンド IC 5 から出力された第一シフトレジスタ 35 の画素信号に対応する画素データの画素位置からの差分値で逐次算出する。

【0079】

また、セクタ 71 が、切替制御部 73 による制御の下、アナログフロントエンド IC 5 による画素データの出力パターンに合わせて、次に入力される画素データの画素位置を表す第一～第三演算部 63, 65, 67 のいずれか一つの演算結果を出力し、アドレス登録部 69 に入力する。

【0080】

そして、アドレス登録部 69 は、セクタ 71 を介して取得した第一～第三演算部 63, 65, 67 のいずれか一つの演算結果を、前のアドレスレジスタ RR

の値に加算して、次の書込先メモリアドレスを設定する。

したがって、画像読取装置 1 によれば、画素データのメモリ 23 への書き込みと同時に画素データの並び替えを実行して、画素データを本来の順序でメモリ 23 内に格納することができ、従来の場合と比較して、少ないメモリアクセス量で画素データの並び替えを完了することができる。この結果、従来のように並び替え操作に必要な作業用領域をメモリ 23 内に用意しなくても済み、更には、並び替えの際に、CPU 13 の処理や、メモリ 23 へのアクセスを抑制できて、画像読取装置 1 全体の処理速度が低下するのを抑制することができる。

【0081】

尚、アドレス設定部 157 の構成は、上記構成に限定されず、様々な態様を採用することができる。上記実施例では、入力される画素データの画素位置と、前に入力された画素データの画素位置との差分値をまず算出して、その差分値を前のアドレスレジスタ RR の値に加算することにより、次の画素データの画素位置に対応する書込先メモリアドレスを算出するようにしたが、各チャネルの画素データ毎に画素位置に対応するメモリアドレスを算出して、その算出値をそのまま書込先メモリアドレスとしてアドレスレジスタ RR に登録するようにアドレス設定部 157 を構成しても構わない。

【0082】

図 10 は、各チャネルの画素データ毎に画素位置に対応するメモリアドレスを算出して、その値をそのままアドレスレジスタ RR に登録する技法を採用した場合に好適なアドレス設定部 157 の内部構成を表す説明図である。以下、この場合のアドレス設定部 157 の構成を、第一変形例として説明することにする。ただし、以下では、上記実施例と同一構成の部分に関する説明を省略することにする。

【0083】

第一変形例のアドレス設定部 157 においては、各演算部 63' , 65' , 67' に、加算値レジスタ Rb1 ~ Rb3 に替えて、アドレスレジスタ Rc1 ~ Rc3 が設けられている。また、アドレス登録部 69' は、アドレスレジスタ RR のみで構成されている。その他、CPU 13 は、読取指令が外部より入力される

と、図 7 に示す設定処理に替えて、図 11 に示す変形例の設定処理を実行する構成となっている。尚、図 11 は、CPU 13 が実行する変形例の設定処理を表すフローチャートである。

【0084】

処理を実行すると、CPU 13 は、まず、アナログフロントエンド IC 5 からの画素データの出力パターンに合わせて更新タイミング信号生成部 61 及び切替制御部 73 を設定する (S200)。また、アドレスレジスタ Rc1 に初期値 INIT を設定すると共に、加算値レジスタ Ra1 に加算値 +4 を設定する (S210)。

【0085】

この後、CPU 13 は、アドレスレジスタ Rc2 に値 INIT+2 を設定すると共に、加算値レジスタ Ra2 に加算値 +4 を設定する (S220)。更にこの後、CPU 13 は、処理を S230 に移して、アドレスレジスタ Rc3 に値 INIT-gap+1 を設定すると共に、加算値レジスタ Ra3 に加算値 +2 を設定する。そして、当該設定処理を終了する。

【0086】

このような設定が CPU 13 により施されると、第一演算部 63' は、第一更新タイミング信号が入力される度に、アドレスレジスタ Rc1 の値 V__Rc1 (初期値 INIT) に対して、加算値レジスタ Ra1 に設定された値 +4 を加算することにより、第三シフトレジスタ 37 から出力される画素信号に対応した画素データの画素位置に対応するメモリアドレスを算出し、そのメモリアドレス INIT, INIT+4, INIT+8... を順にアドレスレジスタ Rc1 の値として設定する。

【0087】

一方、第二演算部 65' は、第二更新タイミング信号が入力される度に、アドレスレジスタ Rc2 の値 V__Rc2 (初期値 INIT+2) に対して、加算値レジスタ Ra2 に設定された値 +4 を加算することにより、第二シフトレジスタ 36 から出力される画素信号に対応した画素データの画素位置に対応するメモリアドレスを算出し、そのメモリアドレス INIT+2, INIT+6, INIT+

10…を順にアドレスレジスタ Rc 2 の値として設定する。

【0088】

また、第三演算部 67' は、第三更新タイミング信号が入力される度に、アドレスレジスタ Rc 3 の値 V_Rc3 (初期値 $INIT-gap+1$) に対して、加算値レジスタ Ra 3 に設定された値 + 2 を加算することにより、第一シフトレジスタ 35 から出力される画素信号に対応した画素データの画素位置に対応するメモリアドレスを算出し、そのメモリアドレス $INIT-gap+1$, $INIT-gap+3$, $INIT-gap+5$ …を順にアドレスレジスタ Rc 3 の値として設定する。

【0089】

この他、セクタ 71 は、切替制御部 73 の制御の下、アドレスレジスタ Rc 1、アドレスレジスタ Rc 2、アドレスレジスタ Rc 3 の各値を、順に繰り返し、アドレス登録部 69' のアドレスレジスタ RR に入力する。これによりアドレス登録部 69' では、書込先メモリアドレスが $INIT$, $INIT+2$, $INIT-gap+1$, $INIT+4$, $INIT+6$, $INIT-gap+3$, $INIT+8$ …の順に、アドレスレジスタ RR に設定される。

【0090】

尚、更新タイミング信号生成部 61 は、上記実施例と同様に、アドレスレジスタ Rc 1 ~ Rc 3 の値がアドレスレジスタ RR に設定されると、対応する演算部 63', 65', 67' に更新タイミング信号を入力して、アドレスレジスタ Rc 1 ~ Rc 3 の値を更新する。

【0091】

したがって、第一変形例の画像読取装置 1 では、図 8 (a) に示す順に、画素データがアナログフロントエンド IC 5 から出力される場合に、メモリ書込制御部 153 にて、書込先メモリアドレスに対応するメモリ 23 の領域に画素データを書き込むことにより、各画素データを画素配列順に並び替えてメモリ 23 に格納することができる (図 8 (b) 参照)。尚、第一変形例では、アドレスレジスタ RR を設けたが、メモリ書込制御部 153 を、セクタ 71 を介して、アドレスレジスタ Rc 1 ~ Rc 3 にアクセス可能に構成すれば、第一変形例においてア

ドレスレジスタ R R を設ける必要はないことは勿論である。

【0092】

続いて、第二変形例について説明する。第二変形例は、バイトイネーブル信号を用いて、複数の画素データを、メモリ 23 に同時書き込みすることにより、画素データの書込効率を向上させたものである。尚、第二変形例では、メモリ 23 とメモリ制御部 15 とが 32 ビット（即ち 4 バイト）のデータバスで繋がれ、32 ビットでデータ転送を行うことが可能な状態にある一方で、各画素データが 8 ビット（つまり 1 バイト）のデータである場合を前提として話をすすめる。周知のように、バイトイネーブル信号は、データ転送ビットより小さい単位でメモリ内にアクセスし、データの読み書き操作をする際に必要な信号である。

【0093】

図 12 は、第二変形例の画像読取装置におけるデータサンプリング制御部 11 及びメモリ制御部 15 の構成を表す概略ブロック図である。また、図 13 は、第二変形例のデータサンプリング制御部 11 における振り分け部 113 の動作を表す説明図（a）、メモリ書込制御部 153' 内の第一書込制御部 154a の動作を表す説明図（b）、及び、メモリ書込制御部 153' 内の第二書込制御部 154b の動作を表す説明図（c）である。

【0094】

第二変形例のデータサンプリング制御部 11 は、振り分け部 113 と、第一 F I F O メモリ 115 と、第二 F I F O メモリ 117 と、を備えており、アナログフロントエンド IC 5 から画素データが入力されると、図 13（a）に示すように、振り分け部 113 の動作にて、第一センサ 31 の画素信号に対応する画素データを、第一 F I F O メモリ 115 に登録し、第二センサ 33 の画素信号に対応する画素データを、第二 F I F O メモリ 117 に登録する。尚、このような構成は、振り分け部 113 にカウンタを設け、画素データが入力される度にカウンタがカウントアップされるようにしておくことで実現することが可能である。このようにカウンタを設ければ、カウンタの値に基づいて、画素データが第一センサ 31 からのものか、第二センサ 33 のものか、を振り分け部 113 にて判別することができる。

【0095】

一方、メモリ書込制御部153'は、第一書込制御部154aと、第二書込制御部154bと、を備えている。第一書込制御部154aは、第一FIFOメモリ115に二以上の画素データが格納されると、第一FIFOメモリ115から画素データを二つ取り出し、アドレス設定部157に設定された書込先メモリアドレスに対応するメモリ23内の領域に、読み出した二つの画素データを書き込む。この時、第一書込制御部154aは、図13(b)に示すように、バイトイネーブル信号"0101"を、メモリアクセス調停部151を介してメモリ23に入力することにより、その二つの画素データの画素位置に対応するメモリ領域(図では、0x0501及び0x0503)に同時アクセスし、二つの画素データをまとめて、メモリ23に書き込む。

【0096】

また、第二書込制御部154bは、第二FIFOメモリ117に二以上の画素データが格納されると、第二FIFOメモリ117から画素データを二つ取り出し、アドレス設定部157に設定された書込先メモリアドレスに対応するメモリ23内の領域に、読み出した二つの画素データを書き込む。この時、第二書込制御部154bは、図13(c)に示すように、バイトイネーブル信号"1010"を、メモリアクセス調停部151を介してメモリ23に入力することにより、その二つの画素データの画素位置に対応するメモリ領域(図では、0x0a00及び0x0a02)に同時アクセスし、二つの画素データをまとめて、メモリ23に書き込む。

【0097】

尚、この際の書込先メモリアドレスの設定は、図10と同一構成のアドレス設定部157で行うことが可能である。この場合には、CPU13にて設定すべき各加算値レジスタRa1~Ra3及びアドレスレジスタRc1~Rc3の値を、第二変形例の書込態様に合わせて変更すると共に、各演算部63', 65', 67'の更新タイミングや、セクタ71の切替制御などを、メモリ書込制御部153の書込タイミングに合わせて、変更すればよい。

【0098】

また、図 10 では、演算部 63' , 65' , 67' を計 3 つ用意しているが、第二変形例では、第一 F I F O メモリ 115 の画素データ、及び、第二 F I F O メモリ 117 の画素データ、の書込先メモリアドレスを設定すればいいので、2 つの演算部 63' , 65' で、上記動作を実現することが可能である。

【0099】

具体的に、図 8 (a) に示した順にアナログフロントエンド I C 5 から画素データが出力される場合には、加算値レジスタ R a 1 の初期値を + 4 に設定すると共に、アドレスレジスタ R c 1 の初期値を I N I T - g a p に設定すればよい。また、加算値レジスタ R a 2 の初期値を + 4 に設定すると共に、アドレスレジスタ R c 2 の初期値を I N I T に設定すればよい。このようにすれば、アドレスレジスタ R c 1 に対して、順に値 I N I T - g a p , I N I T - g a p + 4 , I N I T - g a p + 8 , … が設定され、アドレスレジスタ R c 2 に対して、順に値 I N I T , I N I T + 4 , I N I T + 8 , … が設定される。

【0100】

以上、第二変形例の画像読取装置によれば、画素データを複数まとめて書き込むことができるので、メモリへのアクセス量を減らすことができる。尚、本発明の算出手段は、C P U 13 による設定処理、本発明の第一～第三演算手段としての第一～第三演算部 63 , 63' , 65 , 65' , 67 , 67' 、更新タイミング信号生成部 61、切替制御部 73、及び、セクタ 71、の連携動作によって実現されている。また、本発明のアドレス設定手段は、第一～第三演算部 63 , 63' , 65 , 65' , 67 , 67' の演算結果に基づいて、書込先メモリアドレスを設定するアドレス登録部 69 , 69' に相当する。この他、本発明の書込手段は、データサンプリング制御部 11 及びメモリ書込制御部 153 に相当する。

【0101】

続いて、本発明の画像処理装置としての機能を備える第三変形例の画像読取装置について説明する。尚、装置内の基本構成は、上述した第二変形例までの画像読取装置と略同一であるため、その点についての詳細説明は省略することにする。

【0102】

図14は、第三変形例の画像読取装置におけるメモリ制御部15の構成を表す概略ブロック図である。

メモリ制御部15のメモリ書込制御部161は、アナログフロントエンドIC5から出力された画素データをデータサンプリング制御部11を介して取得すると、図15(a)に示すように、その画素データを順次隣接するメモリ領域に書き込む。尚、図15(a)は、メモリ23内に書き込まれた画素データの配置を表す説明図である。図15(a)からも理解できるように、各画素データは、メモリ書込制御部161により順次隣接するメモリ領域に書き込まれる結果、アナログフロントエンドIC5による画素データの出力パターンに対応した配置でメモリ23内に記憶される。

【0103】

一方、メモリ読出制御部163は、CPU13から読出指令があると、アドレス設定部165に設定された読出先メモリアドレスに対応するメモリ23内の領域にアクセスして、その領域に記憶されている画素データを読み出すことにより、画素データを画像形成装置25に形成させるべき画像の画素配列に対応した順序で、外部の画像形成装置25に向けて出力する。

【0104】

尚具体的に、アドレス設定部165は、図10に示す構成となっている。図10は、アドレス設定部157の内部構成として図示したものであるが、第三変形例におけるアドレス設定部165は、図10に示すアドレス設定部157の構成と基本構成が同一であるため、以下では、図10を用いて、アドレス設定部165の動作を説明する。

【0105】

アドレス設定部165の各レジスタRa1～Ra3, Rc1～Rc3には、CPU13の設定処理により各種値が動作前に設定される。図16は、CPU13が、外部から読出指令を受けると、アドレス設定部165に対して行う第三変形例の設定処理を表すフローチャートである。

【0106】

CPU13は、図16に示す設定処理を実行すると、S300で、更新タイミング信号生成部61及び切替制御部73に対して初期設定を行った後、S310で、アドレス設定部165のアドレスレジスタRc1に対し、第一番目の画素位置の読出先メモリアドレスに対応する初期値INITを設定すると共に、加算値レジスタRa1に対し、値+3を設定する。続いて、CPU13は、アドレスレジスタRc2に対し、値INIT+gap+2を設定すると共に、加算値レジスタRa2に対し、値+3を設定する(S320)。また、CPU13は、アドレスレジスタRc3に対し、値INIT+1を設定すると共に、加算値レジスタRa3に対し、値+3を設定する(S330)。この後、当該設定処理を終了する。

【0107】

このような設定がCPU13により施されると、図15(b)に示すように、アドレス設定部165の第一演算部63'は、第一更新タイミング信号が入力される度に、アドレスレジスタRc1の初期値INIT(図では0x0500)に対して、加算値レジスタRa1に設定された値+3を加算し、この結果INIT, INIT+3(図では0x0503), INIT+6(図では0x0506)…を順にアドレスレジスタRc1に設定する。

【0108】

一方、第二演算部65'は、第二更新タイミング信号が入力される度に、アドレスレジスタRc2の初期値INIT+gap+2(図では0x0a02)に対して、加算値レジスタRa2に設定された値+3を加算し、この結果INIT+gap+2, INIT+gap+5(図では0x0a05), INIT+gap+8(図では0x0a08)…を順にアドレスレジスタRc2の値に設定する。

【0109】

また、第三演算部67'は、第三更新タイミング信号が入力される度に、アドレスレジスタRc3の初期値INIT+1(図では0x0501)に対して、加算値レジスタRa3に設定された値+3を加算し、この結果INIT+1, INIT+4(図では0x0504), INIT+7(図では0x0507)…を順にアドレスレジスタRc3に設定する。

【0110】

この他、セクタ71は、切替制御部73の制御の下、画素データの読出が完了する度、アドレスレジスタRc1、アドレスレジスタRc2、アドレスレジスタRc3、アドレスレジスタRc2を順に繰り返し選択して、各アドレスレジスタRc1～Rc3に設定された値を、アドレス登録部69'のアドレスレジスタRRに入力し、読出先メモリアドレスを、INIT, INIT+gap+2, INIT+1, INIT+gap+5, INIT+3, INIT+gap+8, INIT+4, …の順に設定する。

【0111】

尚、更新タイミング信号生成部61は、画素データの読出が完了する度に入力される画素処理タイミング信号に基づき、同一のアドレスレジスタRc1～Rc3がセクタ71によって再度選択される前に、各演算部63', 65', 67'に更新タイミング信号を入力する構成にされている。

【0112】

以上、第三変形例について説明したが、第三変形例の画像読取装置によれば、CPU13による設定処理(図16)によって特徴付けられたアドレス設定部165が、アナログフロントエンドIC5による画素データの出力パターンに基づく加算処理により、メモリ23から各画素データをCCDイメージセンサ3が読み取った画像の画素配列順に読み出すことが可能に、読出先メモリアドレスをアドレスレジスタRRに設定するから、メモリ読出制御部163は、そのアドレスレジスタRRに従って、画素データ群を格納するメモリ23から各画素データを読み出すことで、画素配列順に画素データを出力することができる。

【0113】

したがって、第三変形例の画像読取装置では、画素データの読出後に、画素データの並び替え操作を行わなくても、画像形成装置25に形成させるべき画像として、外部の画像形成装置25にCCDイメージセンサ3が読み取った画像を、その画素データに基づいて形成させることができる。結果、本実施例によれば、画素データの画像形成装置25への出力に関わる処理を大幅に縮小することができる。尚、本発明の復

元出力手段は、図 16 に示す CPU 13 の設定処理により特徴付けられる図 10 に示す構成のアドレス設定部 165 と、メモリ読出制御部 163 と、により実現されている。

【0114】

以上、本発明の実施例について説明したが、本発明のデータ書込装置及び画像処理装置は、上記実施例に限定されるものではなく、種々の態様を採ることができ

る。上記実施例では説明しなかったが、例えば、図 6 に示す構成をアドレス設定部 165 に適用しても、各画素データを CCD イメージセンサ 3 が読み取った画像の画素配列順に読み出すことが可能に画像読取装置を構成することができる。この場合には、アドレス設定部 165 が、画素データの画素配列順に読出先メモリアドレスを設定するように、CPU 13 の設定処理によって、加算値レジスタ Ra1～Ra3, Rb1～Rb3 の初期値を設定すればよい。

【0115】

この他、上記実施例では、マルチプレクサ 7 が、第三チャネルのアンプ 49, 第二チャネルのアンプ 48, 第一チャネルのアンプ 47 から出力される画素信号を順に繰り返しアナログデジタル変換器 9 に入力する場合の、各種設定処理について説明したが、マルチプレクサ 7 が、この他のパターンで、画素信号を順にアナログデジタル変換器 9 に入力する構成にされている場合には、アナログフロントエンド IC 5 における画素データの出力パターンも当然に変わるから、その出力パターンに合わせて、適宜アドレス設定部 157, 165 への各種設定値を変更して、本発明のデータ書込装置又は画像処理装置としての構成を実現すればよい。

【図面の簡単な説明】

【図 1】 本実施例の画像読取装置 1 の構成を表す概略ブロック図である。

【図 2】 CCD イメージセンサ 3 の概略構成を表す説明図である。

【図 3】 CCD イメージセンサ 3 からの出力信号の態様を表すタイムチャートである。

【図 4】 アナログフロントエンド IC 5 の内部構成を概略的に表す説明図で

ある。

【図 5】 メモリ制御部 15 の構成を表す概略ブロック図である。

【図 6】 アドレス設定部 157 の構成を表す概略ブロック図である。

【図 7】 CPU 13 が実行する設定処理を表すフローチャートである。

【図 8】 画素データの入力順を表す説明図 (a) 及び、メモリ 23 内の画素データの配列を表す説明図 (b) である。

【図 9】 画像読取の態様を表す説明図である。

【図 10】 第一変形例のアドレス設定部 157 の構成を表す概略ブロック図である。

【図 11】 CPU 13 が実行する第一変形例の設定処理を表すフローチャートである。

【図 12】 第二変形例のデータサンプリング制御部 11 及びメモリ制御部 15 の構成を表す概略ブロック図である。

【図 13】 第二変形例のデータサンプリング制御部 11 における振り分け部 113 の動作を示した説明図 (a)、メモリ書込制御部 153' 内の第一書込制御部 154a の動作を示した説明図 (b)、及び、第二書込制御部 154b の動作を示した説明図 (c) である。

【図 14】 第三変形例のメモリ制御部 15 の構成を表す概略ブロック図である。

【図 15】 第三変形例においてメモリ 23 内に書き込まれた画素データの配置を表す説明図 (a) 及び、画素データの読出順を表す説明図 (b) である。

【図 16】 CPU 13 が、アドレス設定部 165 に対して行う第三変形例の設定処理を表すフローチャートである。

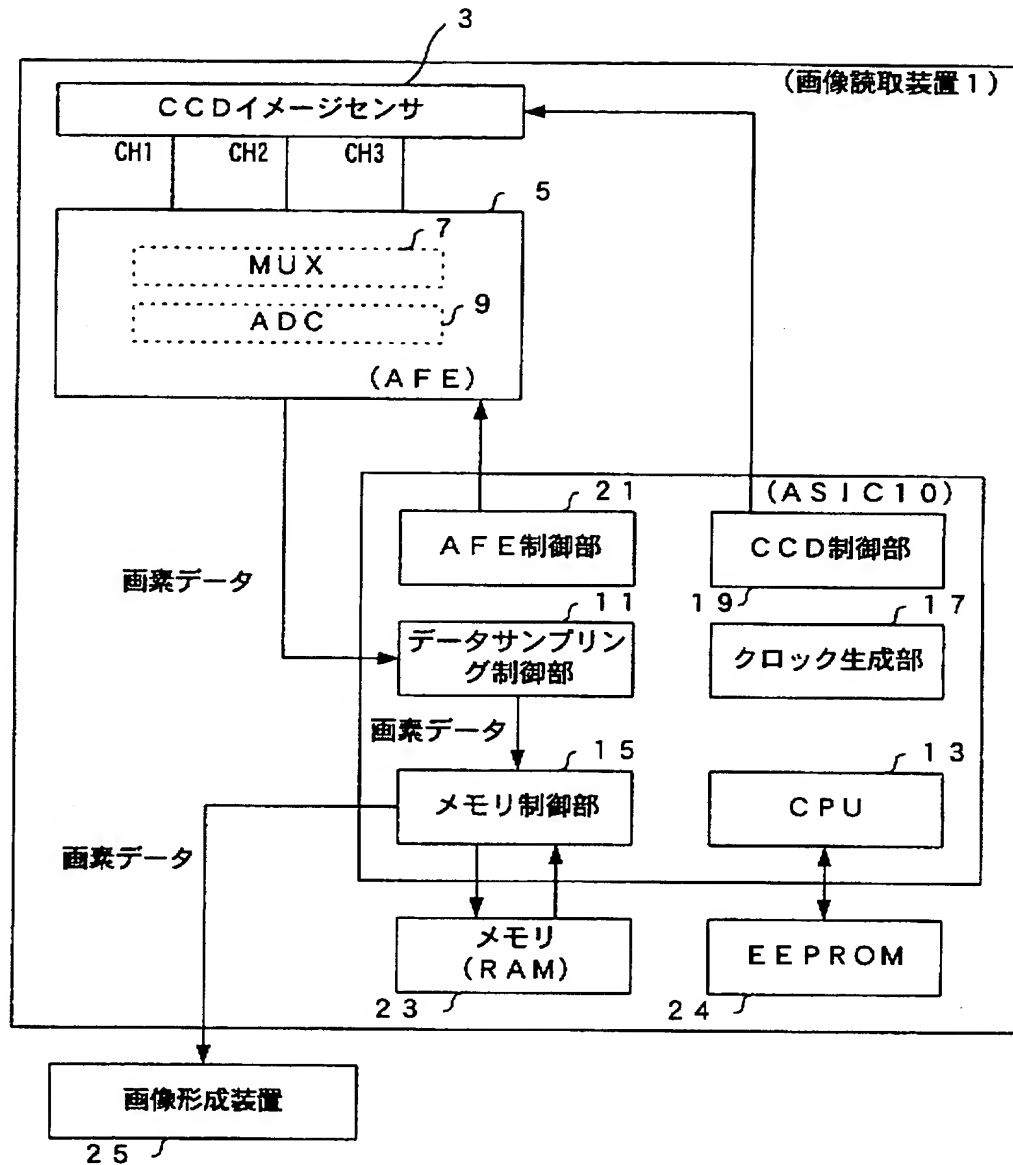
【符号の説明】

1…画像読取装置、3…CCDイメージセンサ、5…アナログフロントエンド IC、7…マルチプレクサ、9…アナログデジタル変換器、11…データサンプリング制御部、13…CPU、15…メモリ制御部、17…クロック生成部、19…CCD制御部、21…AFE制御部、23…メモリ、24…EEPROM、25…画像形成装置、31…第一センサ、32, 34a, 34b…受光素子、33

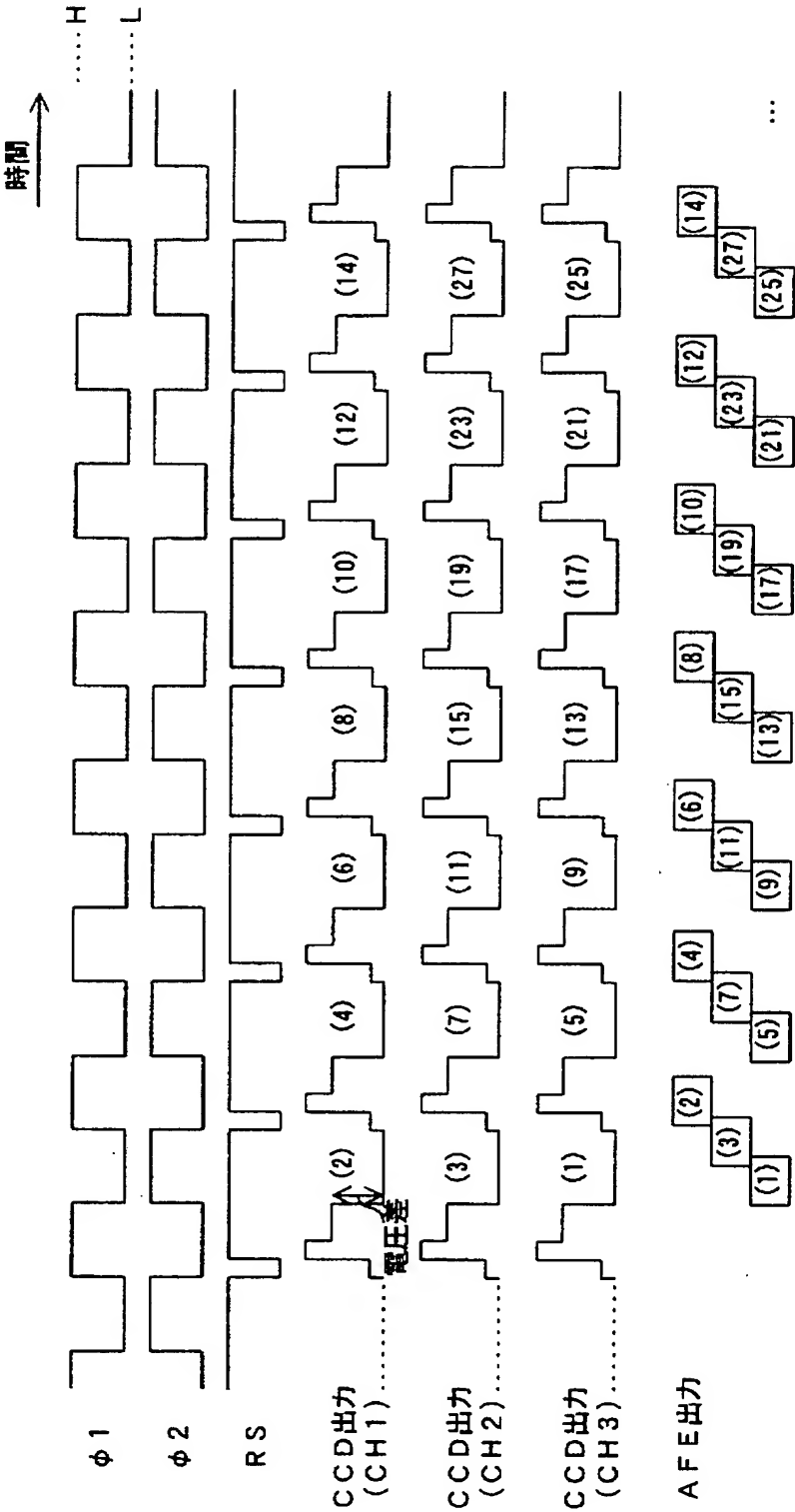
…第二センサ、35…第一シフトレジスタ、36…第二シフトレジスタ、37…
第三シフトレジスタ、47～49…プログラマブルゲインアンプ、55…レジス
タ部、59…レジスタ、61…更新タイミング信号生成部、61a, 73a…カ
ウンタ、63～65, 63'～65'…演算部、69, 69'…アドレス登録部
、71…セレクタ、73…切替制御部、75, 78, 81, 84…加算器、11
1, 115, 117…FIFOメモリ、113…振り分け部、151…メモリア
クセス調停部、153, 153', 161…メモリ書込制御部、154a…第一
書込制御部、154b…第二書込制御部、155, 163…メモリ読出制御部、
157, 165…アドレス設定部、Ra1～Ra3, Rb1～Rb3…加算値レ
ジスタ、RR, Rc1～Rc3…アドレスレジスタ

【書類名】 図面

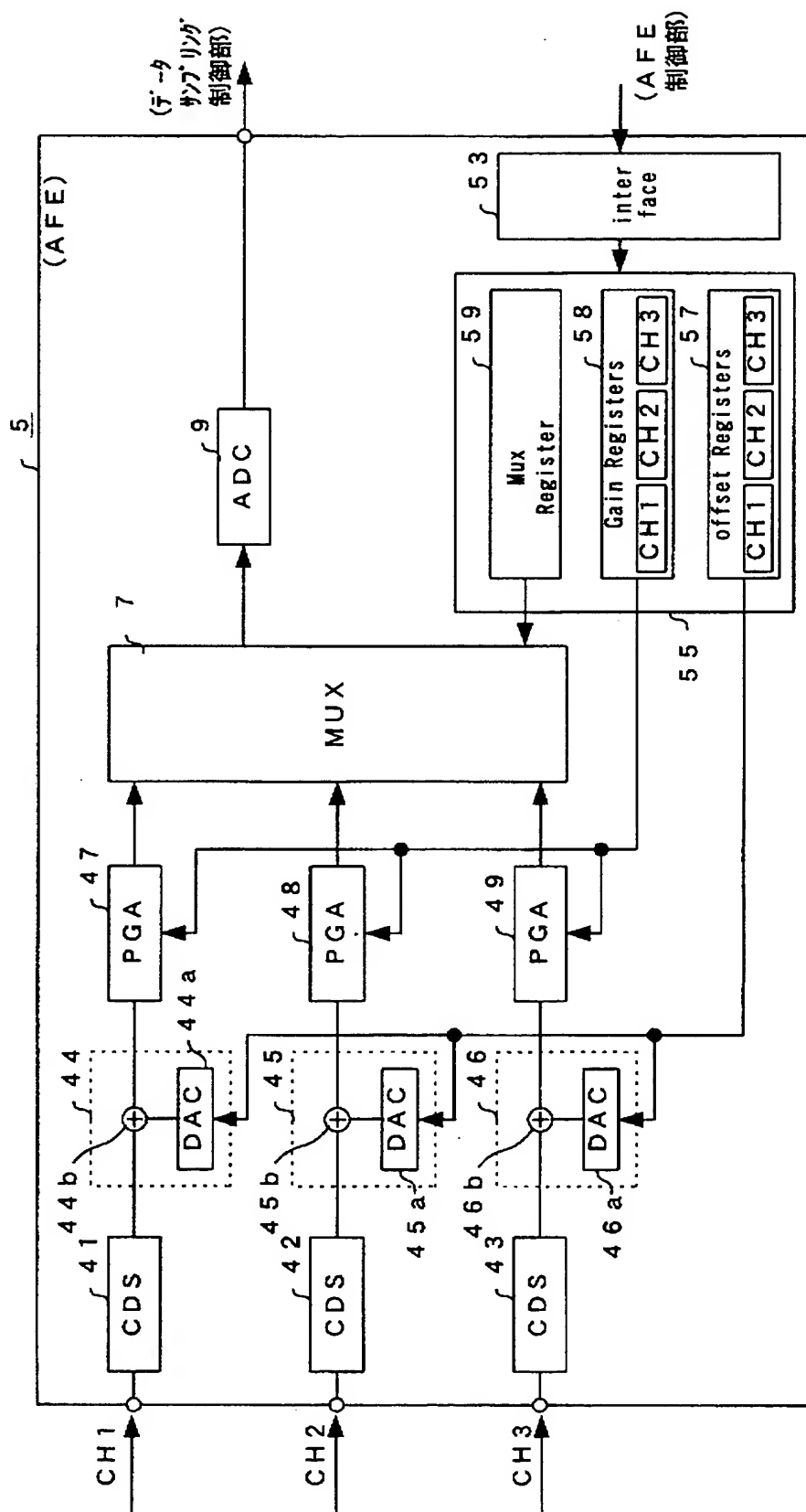
【図 1】



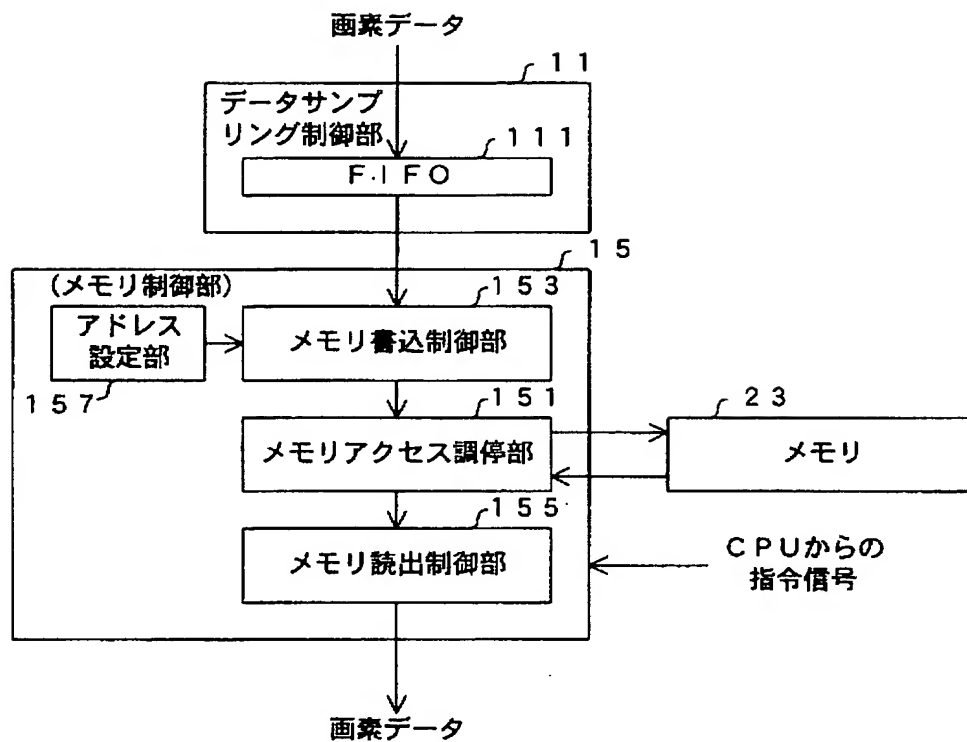
【図 3】



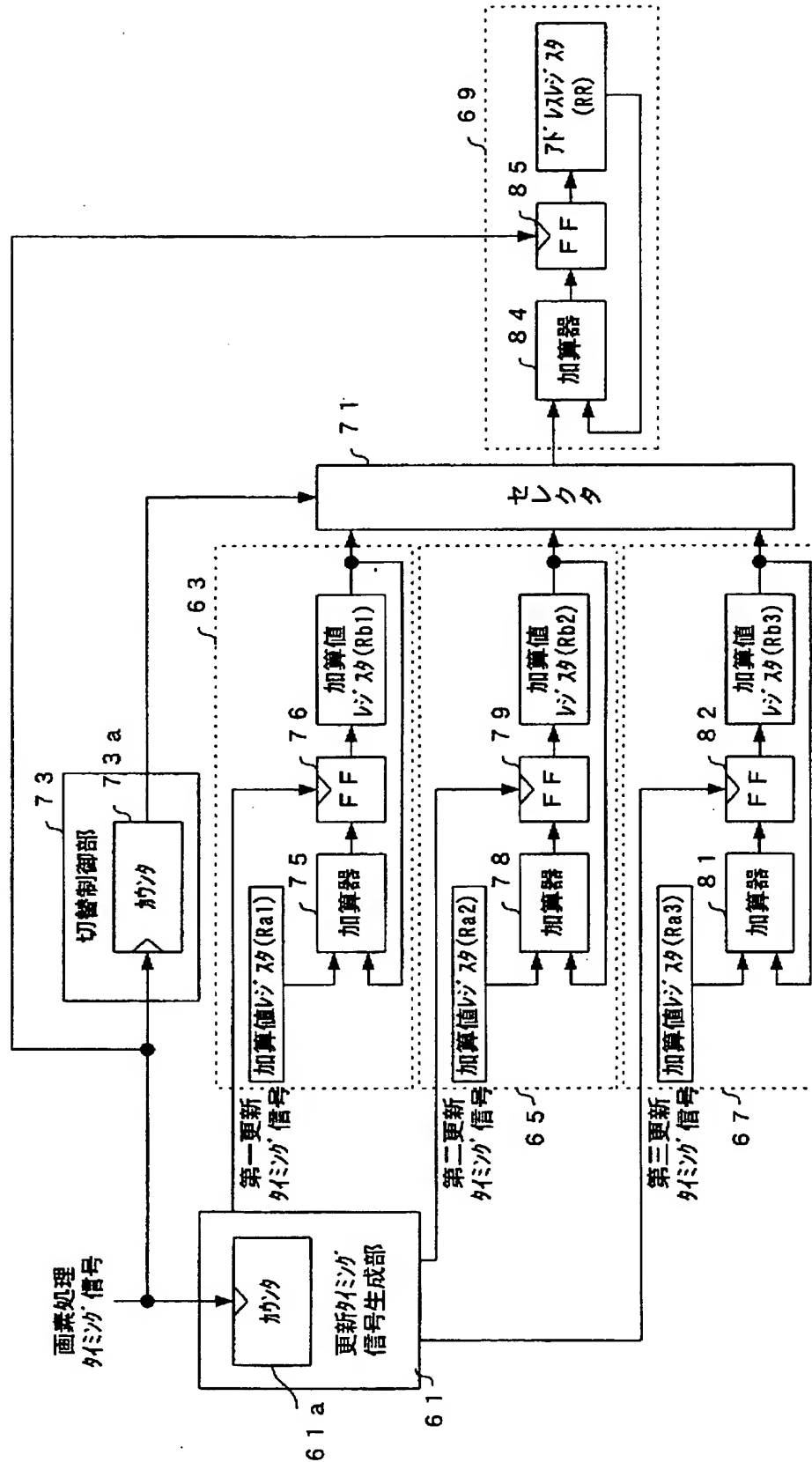
【図 4】



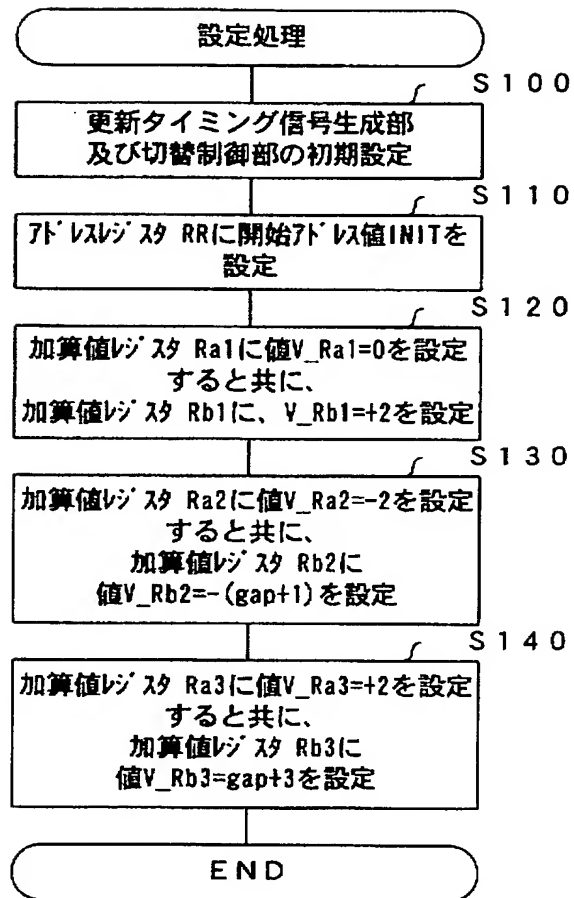
【図 5】



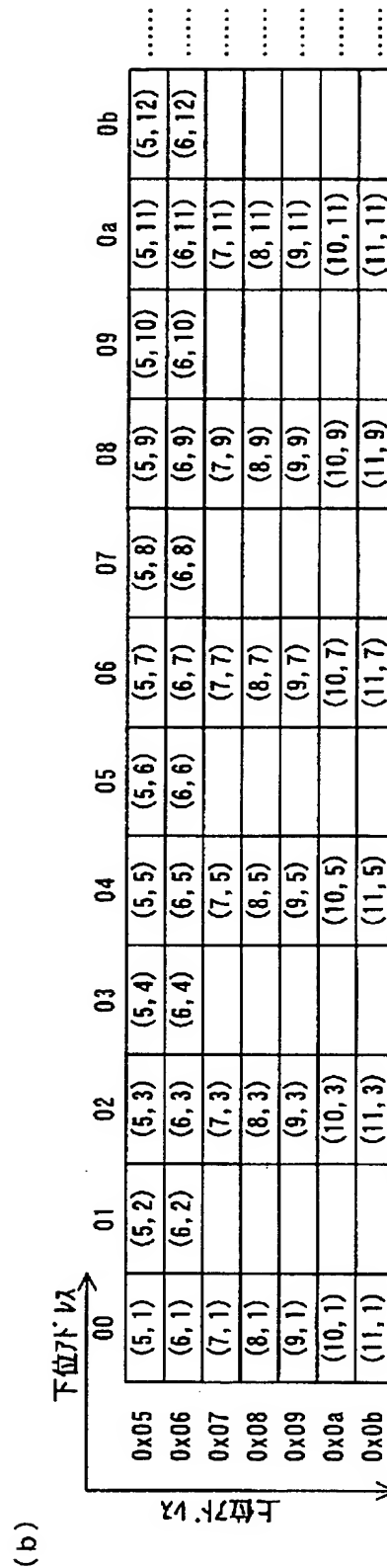
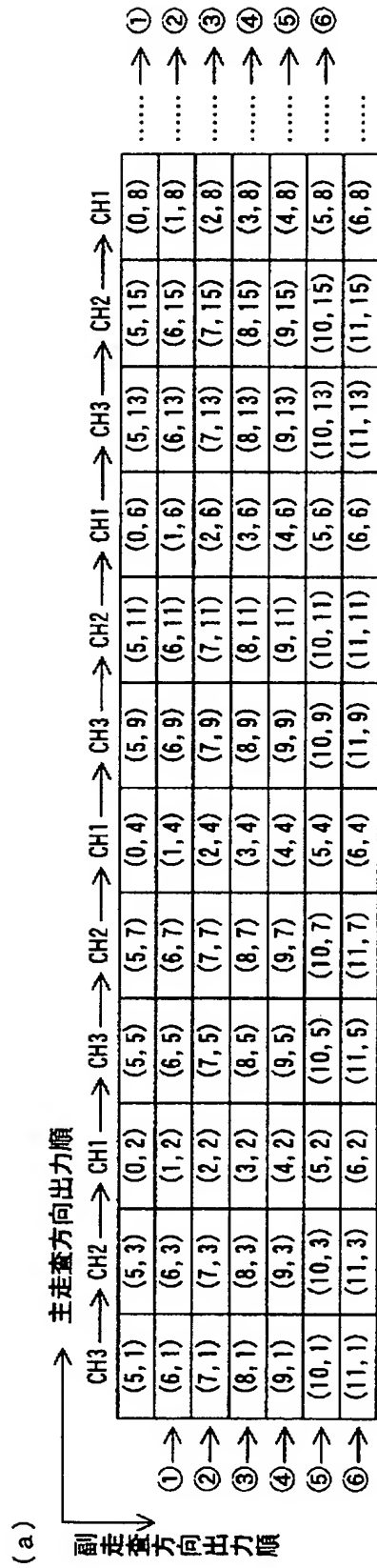
【図 6】



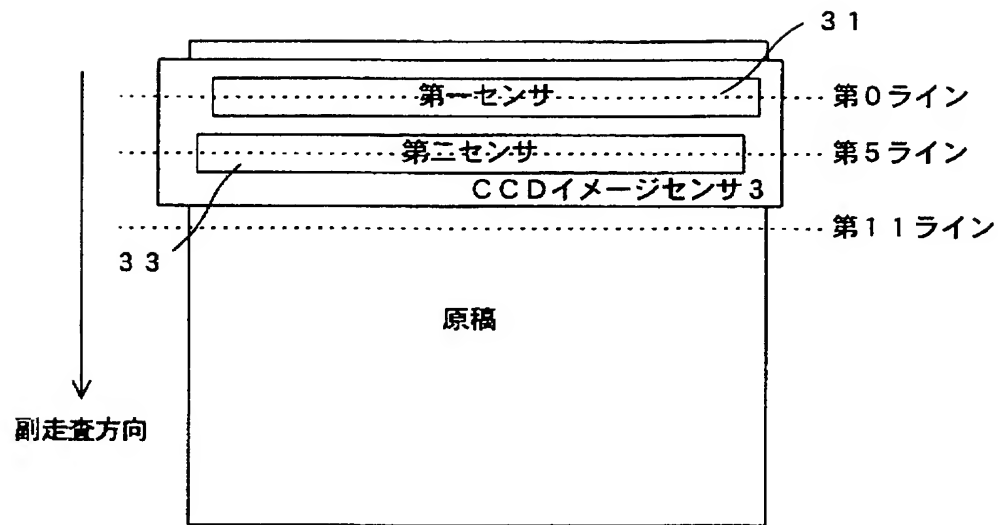
【図 7】



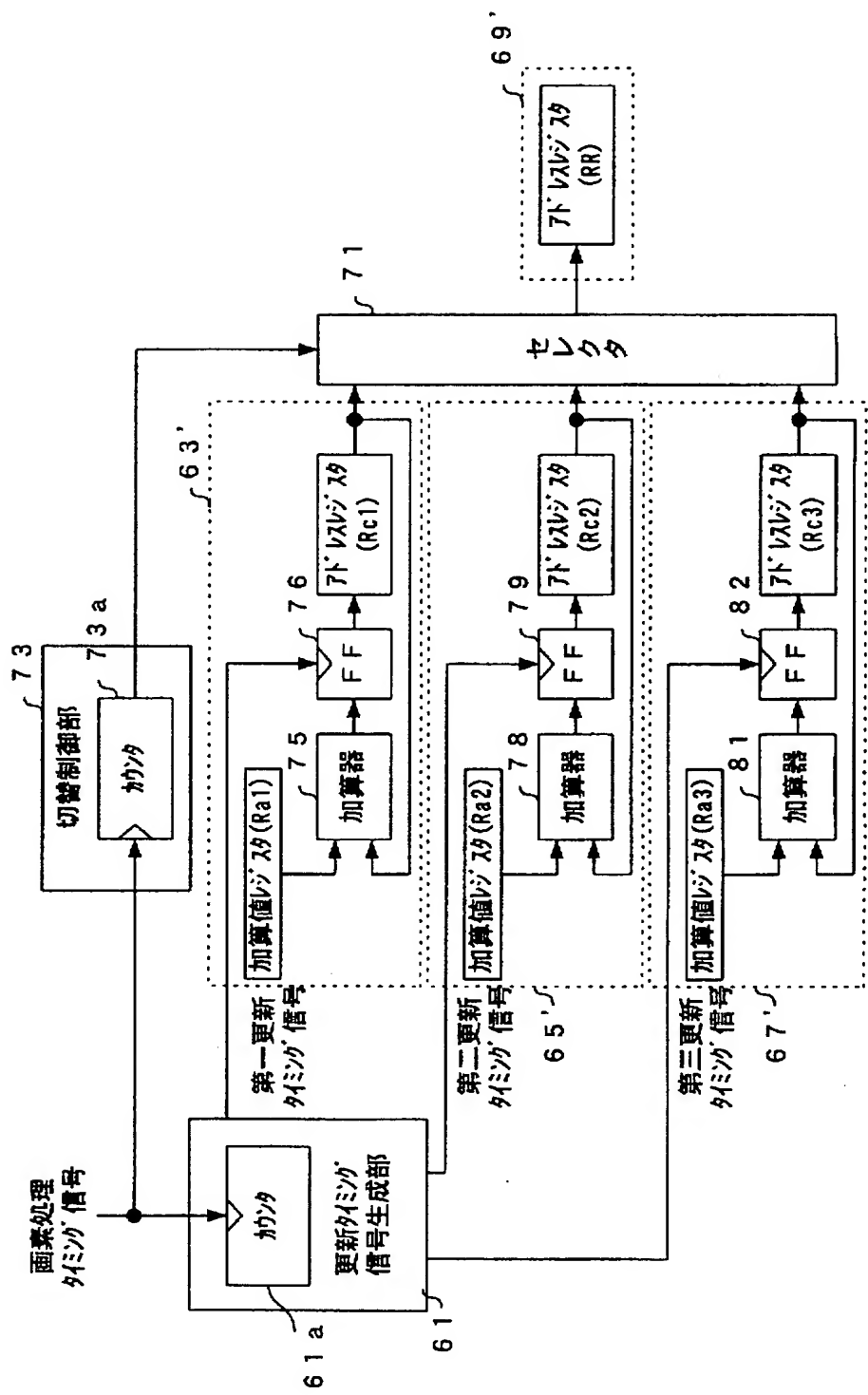
【図 8】



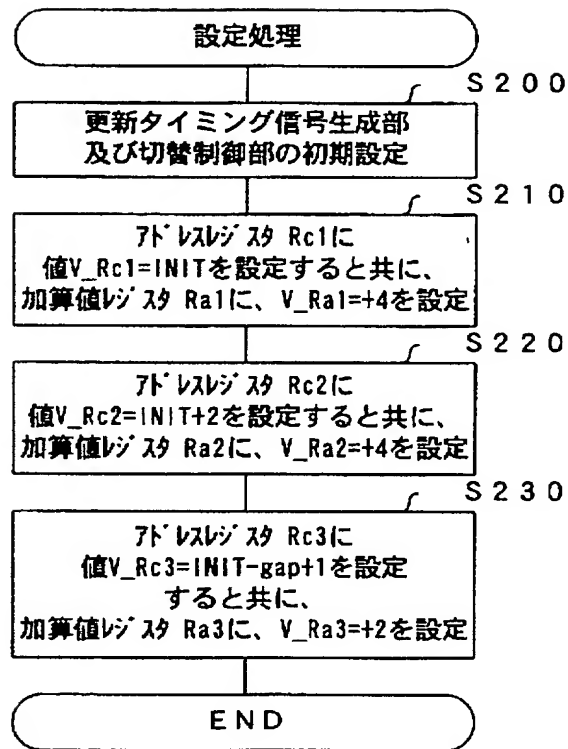
【図 9】



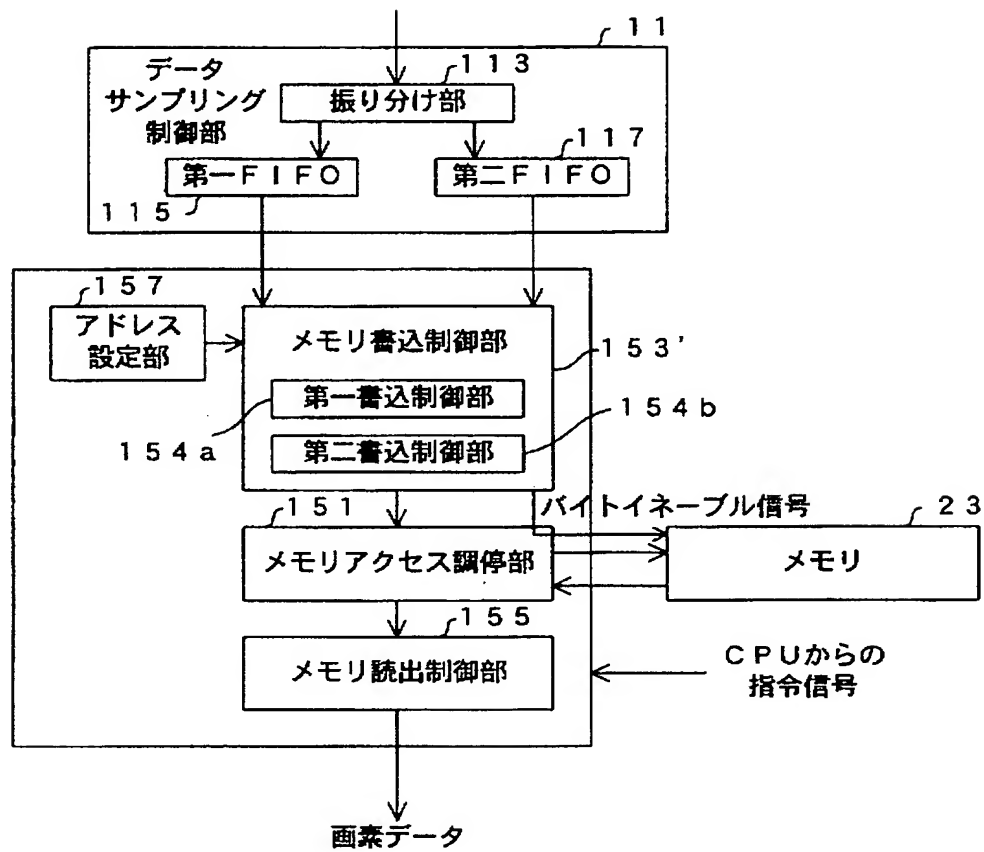
【図 10】



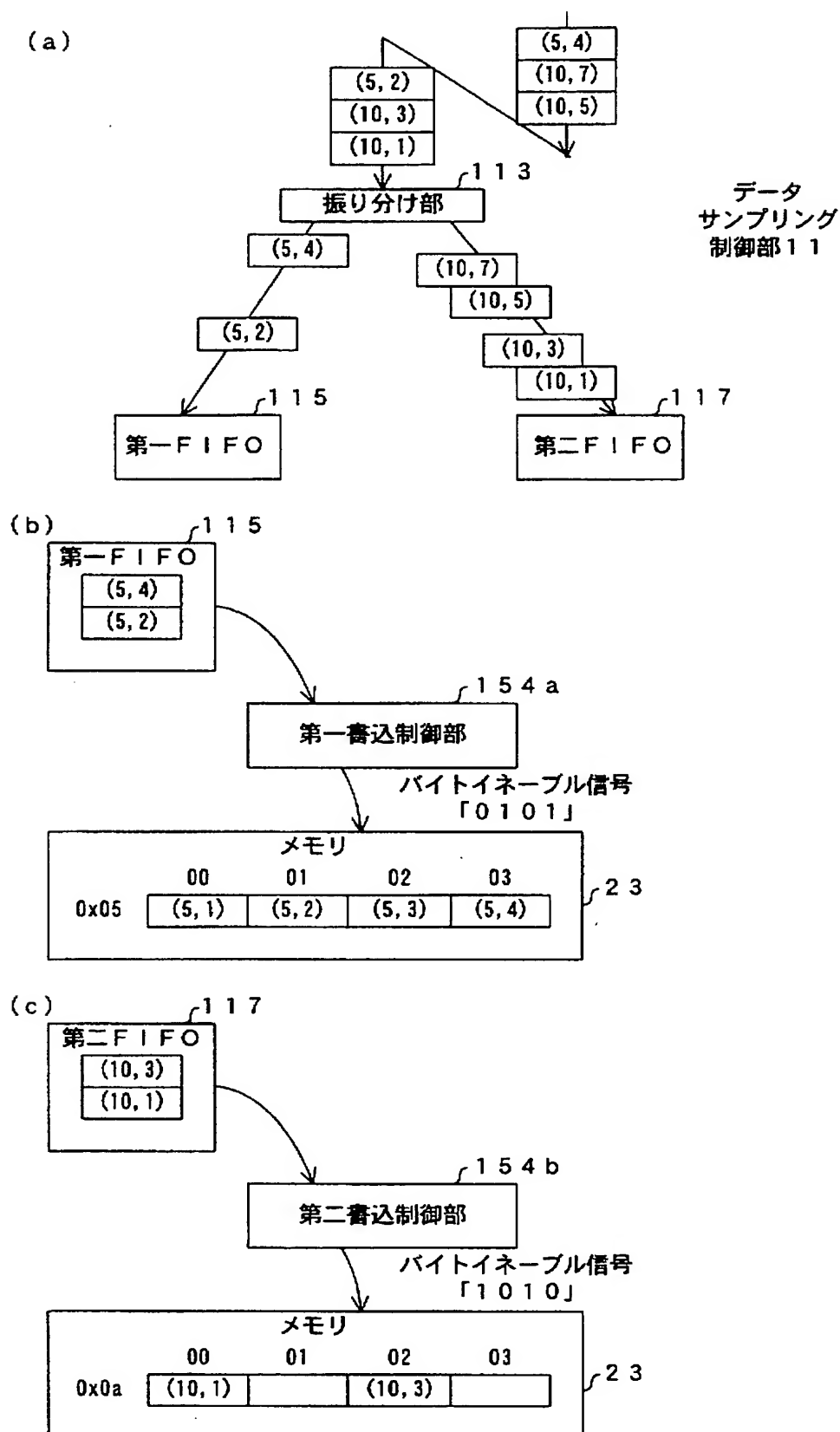
【図 11】



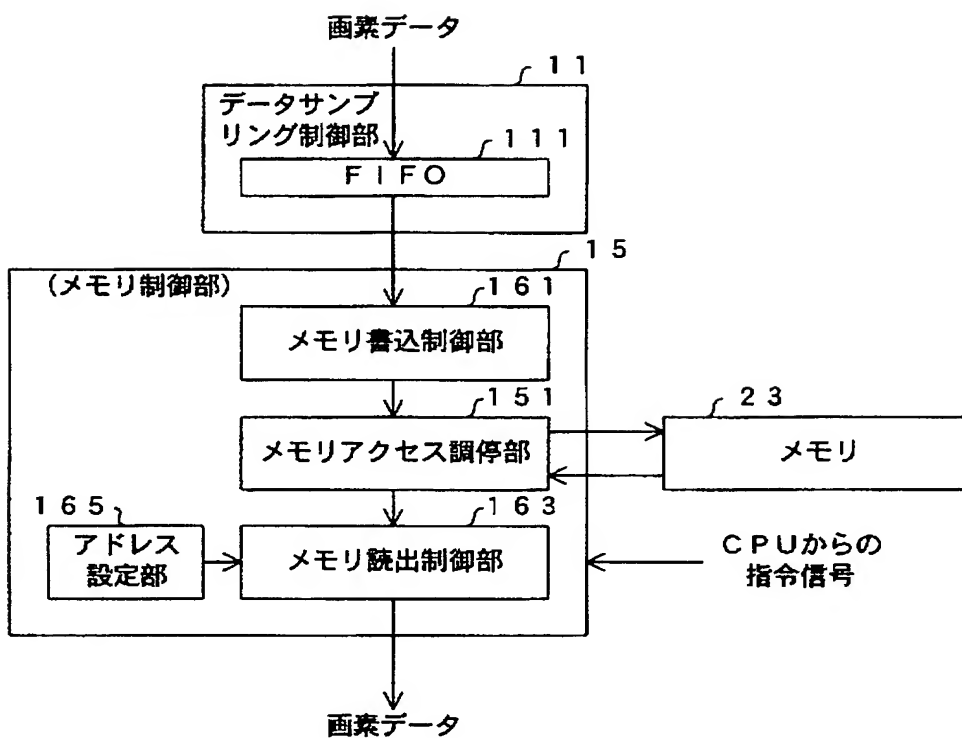
【図 12】



【図 13】



【図 14】



【図 1 5】

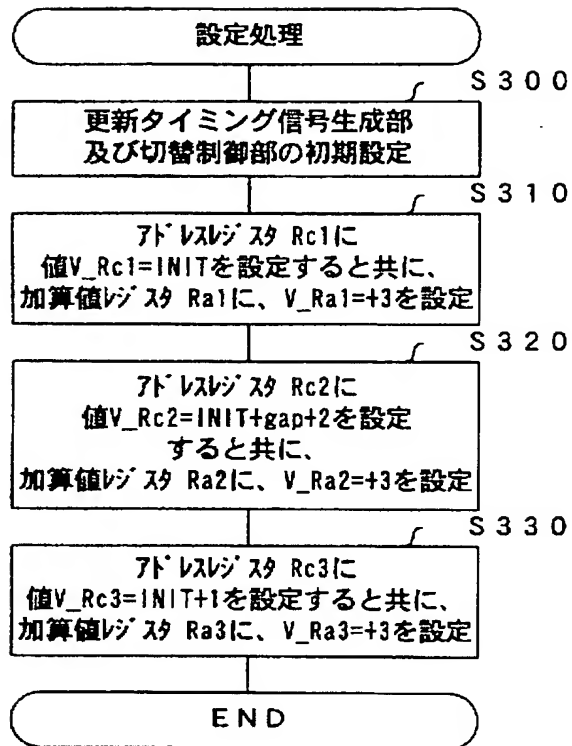
(a)

上 位 7 ビット	下 位 7 ビット											0b
	00	01	02	03	04	05	06	07	08	09	0a	
0x05	(5, 1)	(5, 3)	(0, 2)	(5, 5)	(5, 7)	(0, 4)	(5, 9)	(5, 11)	(0, 6)	(5, 13)	(5, 15)	(0, 8)
0x06	(6, 1)	(6, 3)	(1, 2)	(6, 5)	(6, 7)	(1, 4)	(6, 9)	(6, 11)	(1, 6)	(6, 13)	(6, 15)	(1, 8)
0x07	(7, 1)	(7, 3)	(2, 2)	(7, 5)	(7, 7)	(2, 4)	(7, 9)	(7, 11)	(2, 6)	(7, 13)	(7, 15)	(2, 8)
0x08	(8, 1)	(8, 3)	(3, 2)	(8, 5)	(8, 7)	(3, 4)	(8, 9)	(8, 11)	(3, 6)	(8, 13)	(8, 15)	(3, 8)
0x09	(9, 1)	(9, 3)	(4, 2)	(9, 5)	(9, 7)	(4, 4)	(9, 9)	(9, 11)	(4, 6)	(9, 13)	(9, 15)	(4, 8)
0x0a	(10, 1)	(10, 3)	(5, 2)	(10, 5)	(10, 7)	(5, 4)	(10, 9)	(10, 11)	(5, 6)	(10, 13)	(10, 15)	(5, 8)
0x0b	(11, 1)	(11, 3)	(6, 2)	(11, 5)	(11, 7)	(6, 4)	(11, 9)	(11, 11)	(6, 6)	(11, 13)	(11, 15)	(6, 8)

(b)

上 位 7 ビット	下 位 7 ビット											0b
	00	01	02	03	04	05	06	07	08	09	0a	
7ビットレジスタ Rc1	0x05-	00	02	03	04	05	06	07	08	09	0a	0b
7ビットレジスタ Rc2	0x0a-	01	03	04	05	06	07	08	09	0a	0b	0c
7ビットレジスタ Rc3	0x05-	02	04	05	06	07	08	09	0a	0b	0c	0d
7ビットレジスタ RR	Rc1	Rc2	Rc3	Rc1	Rc2	Rc3	Rc1	Rc2	Rc3	Rc1	Rc2	Rc3
読み出し画素データ	(5, 1)	(5, 2)	(5, 3)	(5, 4)	(5, 5)	(5, 6)	(5, 7)	(5, 8)	(5, 9)	(5, 10)	(5, 11)	(5, 12)

【図 16】





【書類名】 要約書

【要約】

【課題】 画素データを格納するために必要なメモリ容量を抑えると共に、少ないメモリアクセス量で画素データの並び替え操作を実行可能にすること。

【解決手段】 本発明の画像読取装置は、第一及び第二及び第三シフトレジスタから出力される各画素信号を、アナログフロントエンド I C にて、画素データに変換すると共に、画素データを所定パターンのシリアルデータ列にして出力する。また、アドレス設定部 1 5 7 は、アナログフロントエンド I C による画素データの出力パターンに合わせて、初期値に対し加減算を繰り返すことにより、各画素データの画素位置を算出し、画素位置に対応するメモリアドレスを、その画素データの書込先メモリアドレスとして、アドレスレジスタ R R に設定する。メモリ書込制御部 1 5 3 は、アナログフロントエンド I C からデータサンプリング制御部 1 1 を介して取得した画素データを、メモリ 2 3 内の上記書込先メモリアドレスに対応する領域に書き込む。

【選択図】 図 5



特願 2 0 0 2 - 2 0 8 4 4 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 6 7]

1. 変更年月日

1 9 9 0 年 1 1 月 5 日

[変更理由]

住所変更

住 所

愛知県名古屋市瑞穂区苗代町 1 5 番 1 号

氏 名

ブラザー工業株式会社